زمستان ۱۴۰۰، دوره ۶، شماره ۴، پیاپی ۲۳
DOR :20.1001.1.2538161.1400.6.4.1.5

دریافت مقاله: ۱۴۰۰/۰۱/۰۷
پذیرش مقاله: ۱۴۰۰/۰۵/۲۳

نوع مقاله: پژوهشی

بررسی مدل‌های سالمندی کارا برای یافتن الگوریتم‌های مسیریابی شامل اتصال در مسیریاب‌های شبکه روی تراشه

زهرا شیرمحمدی*
استادیار، دانشکده مهندسی کامپیوتر، دانشگاه تربیت دبیر شهید رجایی
پست الکترونیکی: shirmohammadi@sru.ac.ir

نظام رهبانی
استادیار، مرکز تحقیقات فیزیکی نظری
پست الکترونیکی: rohbani@ipm.ir

مجتبی فرمانی
دانشجو، دانشکده مهندسی کامپیوتر، دانشگاه تربیت دبیر شهید رجایی
پست الکترونیکی: farmani@sru.ac.ir

چکیده

قابلیت اطمینان در مسیریاب‌های شبکه روی تراشه به‌طور جدی با سالمندی مواجه هستند و یک نقطه خرابی محسوب می‌شوند. لذا ارائه راهکارهایی برای تحمل‌پذیری اشکال در آن‌ها از اهمیت بالایی برخوردار است. بازپیکربندی شبکه و مسیریابی تحمل‌پذیری اشکال، از جمله راهکارهای نوین برای حل این مشکل هستند. برای ارائه این مسیریابی‌ها، باید به مدل اشکالی که الگوریتم مسیریابی را ساده‌تر می‌کند توجه کرد. چالش اصلی برای طراحی الگوریتم‌های مسیریابی آگاه از سالمندی، ارائه مدل‌های سالمندی کارآمد برای یافتن الگوریتم‌های مسیریابی شامل اتصال در شبکه است. از سوی دیگر، داشتن دانش مرتبط با میزان سالمندی هر یک از اجزای شبکه، گام موثری در ارائه مدل سالمندی کارآمد است. در این مقاله، در راستای طراحی مدل‌های سالمندی و الگوریتم‌های مسیریابی آگاه از سالمندی کارآمد، مدل‌های سالمندی کارآمد برای یافتن الگوریتم‌های مسیریابی شامل اتصال در مسیریاب‌های شبکه روی تراشه بررسی شده است. سپس جهت بررسی میزان سالمندی هر یک از اجزای شبکه، شبیه‌سازی‌های مبتنی بر شبیه‌ساز بوکسیم انجام شد. نتایج شبیه‌سازی‌ها حاکی از آن بود که برای یک شبکه توری ٦×٦ در هر دو حالت ارسال و دریافت فلیت، ناحیه داغ در مربع درونی ٤×٤ شبکه واقع می‌شود. این ناحیه، در برگیرنده مسیریاب‌ها و پیوندها با بیشترین نرخ ارسال و دریافت و به عبارتی مستعدترین نسبت به خطای سالمندی است. بررسی و مقایسه شبیه‌سازی‌ها در حالات مختلف به ازای الگوهای ترافیکی مختلفی مانند الگوی Transpose، Uniform و Shuffle و هم‌چنین به ازای الگوی ترافیک واقعی SPARSE نشان می‌دهد در مسیریابی XY، مدل بررسی شده توزیع یکنواخت‌تری نسبت به سایر روش‌ها دارد و نقاط داغ ان کاهش یافته است.

واژه‌های کلیدی: شبکه‌های روی تراشه، تحمل‌پذیری اشکال، مسیریابی، سالمندی.

* نویسندهٔ مسئول

۱-مقدمه

با کاهش پیوسته اندازه فناوری ساخت ترانزیستورها، پژوهشگران و طراحان به پردازنده‌های چندهسته‌ای روی تراشه روی آورده‌اند. انگیزه اصلی ساخت این تراشه‌ها، بهره‌گیری از کاهش اندازه پیوسته ترانزیستورها در راستای طراحی ساده و کم‌توان است. شبکه میان‌ارتباطی روی این تراشه‌ها که به شبکه روی تراشه، شناخته می‌شود [۱ و ۲]. شبکه‌های روی تراشه برای برقراری ارتباط میان هسته‌های پردازشی یک تراشه به‌عنوان راه‌حلی کارآمد و جایگزینی مناسب برای گذرگاه‌های سنتی ارائه شده‌اند. در این شبکه‌ها، مبادله همروند داده‌ها با برون‌دهی بالا و مصرف توان کم‌تر صورت می‌پذیرد.

شبکه‌های روی تراشه مجموعه‌ای از هسته‌های پردازشی را از طریق شبکه میان ارتباطی مبتنی بر مسیریاب به‌عنوان جایگزین ارتباطات مبتنی بر گذرگاه در تراشه‌های بساهسته‌ای متصل می‌سازند. علاوه بر این‌ها، شبکه‌های روی تراشه از پهنای باند و مقیاس‌پذیری بالایی برخوردارند و امکان مبادله همروند داده‌ها را نیز فراهم می‌کنند [۱ و ۳].

عدم قابلیت اطمینان سیلیکون و همچنین سالمندی ترانزیستورهای شبکه روی تراشه، از مهم‌ترین چالش‌های طراحی تحمل‌پذیر اشکال این شبکه‌ها می‌باشند. یکی از اشکالاتی که قابلیت اطمینان را در شبکه‌های روی تراشه با مشکل جدی مواجه می‌کند، سالمندی است. HCI و NBTI، دو دلیل عمده سالمندی هستند که کارایی و قابلیت اطمینان شبکه‌های روی تراشه را به‌شدت تحت تاثیر قرار می‌دهند.

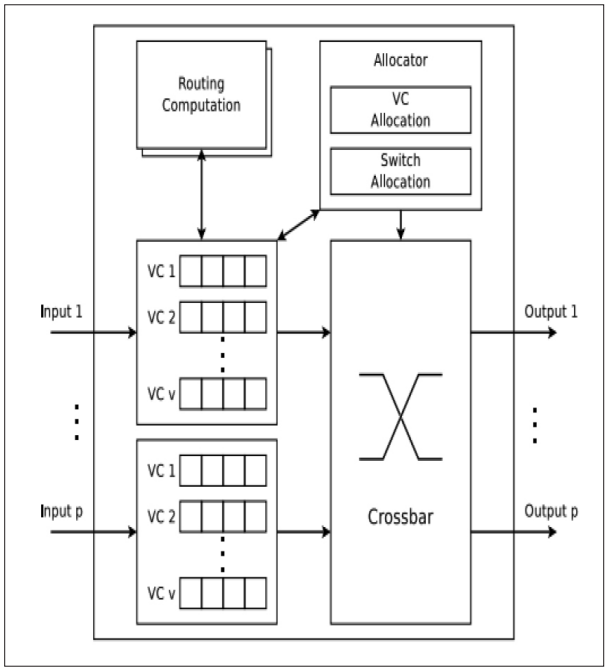
با وجود کارآمد بودن این معماری‌ها، افزایش نرخ سالمندی ترانزیستورها موجب تک-نقطه خرابی بودن مسیریاب‌ها در شبکه روی تراشه می‌شود و طراحان را به سمت طراحی روش‌های تحمل‌پذیر اشکال سوق می‌دهد. عمده این روش‌ها در دو دستهٔ مسیریابی‌های تحمل‌پذیر اشکال آگاه از سالمندی کارآمد و معماری مسیریاب‌های تحمل‌پذیر اشکال، دسته‌بندی می‌شوند. با این وجود، ارائه روش‌های تحمل‌پذیر اشکال در برابر سالمندی، نیازمند بررسی و طراحی مدل‌های سالمندی دقیق و همچنین میزان مستعد بودن هر یک از اجزای شبکه روی تراشه به سالمندی است. به‌عبارت دیگر، طراحان در طراحی‌های خود بایستی عوامل دخیل در میزان سالمندی هر یک از اجزا را در نظر بگیرند تا با صرف هزینه‌های کمتر به قابلیت اطمینان بیشتری دست یابند.

در این مقاله، مدل‌های سالمندی کارآمد برای یافتن الگوریتم‌های مسیریابی شامل اتصال در مسیریاب‌های شبکه روی تراشه بررسی شده است و سپس جهت بررسی میزان سالمندی هر یک از اجزای شبکه، بر روی شبیه‌سازی‌های مبتنی بر شبیه‌ساز بوکسیم انجام می‌شود.

در ادامه مقاله به‌صورت زیر سازماندهی می‌شود: در بخش دو، با توجه به بستگی شدت سالمندی به معماری سخت‌افزار، به بررسی ساختار این شبکه می‌پردازیم. در بخش سوم، به معرفی سالمندی می پردازیم و عوامل دخیل در آن‌ها را بررسی می‌کنیم. در بخش چهارم، به بیان کارهای پیشین مرتبط در زمینه مسیریابی‌های تحمل‌پذیر اشکال آگاه از سالمندی کارآمد و معماری مسیریاب‌های تحمل‌پذیر اشکال می‌پردازیم. سپس در بخش پنجم ایده پیشنهادی را معرفی می‌کنیم. در بخش ششم نیز ارزیابی‌های انجام شده مورد بررسی قرار خواهد گرفت و نتیجهٔ به‌دست آمده نیز در بخش هفتم بررسی خواهد شد.

۲-معماری شبکه‌روی تراشه

شبکه‌های روی تراشه به‌عنوان جایگزینی برای گذرگاه‌های سنتی ارائه شده‌اند که از مقیاس‌پذیری بهتر، برون‌دهی بیشتر و مصرف توان کمتر برخوردارند. از طرف دیگر، قرار دادن تعداد انبوهی از هسته‌ها در سطح یک تراشه بهینه نیست، زیرا باعث طولانی‌تر شدن مسیرهای میان‌ارتباطی می‌شود. در این راستا، با ظهور فناوری‌های مجتمع سازی سه‌بعدی، پژوهشگران به طراحی شبکه‌های روی تراشه سه‌بعدی روی آورده‌اند. در



شکل ۱: نمودار بلوکی مسیریاب در شبکه روی تراشه [۲]

ایـــن فناوری‌ها، چندین لایه تراشـــه روی هم قرار می‌گیرد و شـــبکه‌های میان‌ارتباطـــی، هر یک از طریـــق رابط‌های میان‌ســـیلیکونی‌به هم مرتبط می‌شـــوند. در ســـاخت این تراشـــه‌ها، چگالی بسته‌بندی افزایش یافته و توان مصرفی نیز به خاطر کاهش طول ســـیم‌ها، کاهش می‌یابد [٤]. برای غلبه بر این مشکلات، معماری ترکیبی شبکه میان‌ارتباطی این تراشه‌ها، متشکل از شبکه روی تراشه و گذرگاه ارائه شـــده است. در این شبکه، به جای رابط میان‌سیلیکونی، از گذرگاه برای برقراری ارتباط میان شبکه‌های میان‌ارتباطی روی تراشه‌های ســـطوح گوناگون استفاده می‌کنند. مزیت این معماری این اســـت که طول ســـیم‌های مسیرهای بین لایه‌های مختلف کوتاه، تقریباً ۲۰ میکرومتر است. از آن جا که طول سیم‌های میان لایه‌ای کوتاه است بنابراین طول کل گذرگاه نیز کوتاه بوده و برابر با (n –۱) × ۲۰ اســـت که n تعداد لایه‌ها می‌باشد [٤].

در شکل (۱)، نمودار بلوکی مسیریاب شبکه روی تراشه مجهز به کانال مجازی قرار دارد. بلوک‌های سازنده اصلی این مسیریاب عبارتند از:

- کانال‌های ورودی
- کراس‌بار (مجموعه‌ای از سوئیچ‌ها)
- واحد کنترل متشـــکل از اختصاص‌گره‌های ســـوئیچ و کانال مجازی
- واحد محاسبه مسیر[۱]

جزء اصلی شـــبکه روی تراشـــه، مســـیریاب اســـت. مسیریاب‌ها از طریق سیم‌هایی که پیوند نامیده می‌شوند با هم در یک همبندی خاص در ارتباط هستند. پیوندها معمولاً دو طرفه فرض می‌شـــوند. اگر معماری شبکه روی تراشه، به‌صورت توری دوبعدی باشـــد (که معمول‌ترین همبندی اســـت)، پنج درگاه ورودی در هر مسیریاب برای برقراری ارتباط با مسیریاب‌های همسایه و همچنین هسته پردازشی متناظر وجود دارد. در هر درگاه ورودی، ٤ کانال مجازی وجود دارد که در هر کدام یک میانگیر برای ذخیره‌ســـازی فلیت وارد شده به کانال موجود است.

واحد محاسبه مســـیر، فلیت‌های وارد شده به یک کانال را بررســـی می‌کند و جهت خروجی آن‌ها را تعیین می‌کند. عملیات محاســـبه مســـیر (یا همان تعییـــن جهت خروجی) برای فلیت سرآیند[۲] هر بســـته اجرا می‌شود. به بیان دیگر، فلیت‌هـــای بدنه[۳] و فلیت انتهایی[٤] نیازی به اجرای این مرحله ندارند. پس از معین شدن جهت خروجی، اختصاص‌گر کانال مجازی در مســـیریاب مقصد[۵]، یک کانال را به فلیت سرآیند (اولین فلیت هر بســـته) اختصاص می‌دهد. نکته قابل توجه آن اســـت که فلیت‌های بدنه و انتهایی یک بسته وارد مرحله اختصاص کانال مجازی نمی‌شوند، در حالی‌که برای ورود به مسیریاب مقصد، هر فلیت به‌صورت جداگانه وارد مرحله اختصاص سوئیچ می‌شود. هر فلیت پس از در اختیار گرفتن یک ســـوئیچ، وارد مرحله گذر از سوئیچ می‌شود و یکی از مسیرهای کراس‌بار را طی می‌کند[۲ و ۵].

در شبکه میان‌ارتباطی ســـه‌بعدی نسبت به شبکه‌های میان‌ارتباطی نرمال، مسیریاب‌ها به‌جای ۷ درگاه به ٦ درگاه

1- Routing computation
2- header
3- body
4- tail

۵- این واژه معادل با Downstream در نظر گرفته شـــده اســـت که الزاما معنی مقصد را نمی‌دهد. منظور مســـیریاب همسایه است که فلیت‌ها از مسیریاب فعلی در جهت محاسبه شده به آن می‌روند.

نیازمند هستند زیرا در هر ارتباط عمودی، برای رسیدن به مقصد فقط یک گام طی می‌شود. یکی از مشکلات این معماری آن است که هر بسته از دو میانگیر عبور می‌کند، میانگیر خروجی مبدا و میانگیر ورودی مقصد [٤].

۳-مدل‌های اشکال در شبکه‌های روی تراشه

لزوم تحمل‌پذیری اشکال در طراحی شبکه‌های روی تراشه، پژوهشگران را به سمت مدل‌های اشکال با ریزدانگی کوچک‌تر سوق داده است. این مدل‌ها که در سطح سیم و چرخش سیم مطرح می‌شوند، باعث سهولت در طراحی تحمل‌پذیر اشکال این شبکه‌ها شده‌اند. دو مدل کلی برای اشکال‌های سطح تراشه عبارتند از:

- **مدل خطای درشت‌دانه**[6]: در این مدل، همه اشکال‌ها در داخل شبکه در سطح پیوند دو طرفه مدل می‌شوند.
- **مدل خطای ریزدانه**[7]: در این مدل، همه اشکال‌ها در داخل شبکه در سطح پیوند یک طرفه مدل می‌شوند. ریزدانگی این مدل از مدل قبلی کوچک‌تر است. در مدل قبلی اگر یکی از پیوندها دچار اشکال شود، هر دو پیوند از مسیرها حذف می‌شوند [٦].

۳-۱-سالمندی در شبکه‌های روی تراشه

فناوری ریزمیکرون عمیق، بسیار مستعد سالمندی و کاهش شدید طول عمر مفید سیستم‌های موازی روی تراشه (از جمله پردازنده‌های چندهسته‌ای روی تراشه) می‌باشد. گزارش‌های اخیر حاکی از آن است که برای ثابت نگاه داشتن عمر طراحی‌های فعلی، به یک کاهش ۱۰ برابری در نرخ فرسودگی[8] (بدون افزایش قابل توجه حاشیه‌های زمانی) نیاز است. فرسودگی، همه مولفه‌های یک طراحی را به‌طور مساوی تحت تاثیر قرار نمی‌دهد. فرسودگی هسته‌های پردازشی معمولاً به خاطر افزونگی سخت‌افزاری ذاتی، در ساختار تراشه‌های چندهسته‌ای خطرناک نیست. همچنین، با افزایش تعداد هسته‌های پردازشی، بخش کوچک‌تری از برون‌دهی کل سیستم، وابسته به یک هسته خواهد بود و صرفاً از کارایی سیستم کاسته خواهد شد. بنابراین، خرابی ناشی از فرسودگی تعدادی از هسته‌ها الزاماً منجر به خرابی کل سیستم نخواهد شد. اما فرسودگی شبکه روی تراشه، می‌تواند به شدت زیان‌بار باشد. همچنین، فرسودگی اجزای شبکه روی تراشه، به شدت متاثر از استرس‌های کاری در بارهای کار واقعی است [٢].

دو استرس کاری در مدارات CMOS که نسبت به سایر استرس‌ها از اهمیت بالاتری برخوردارند، عبارت‌اند از HCI و NBTI. هر دو این استرس‌ها، باعث افزایش ولتاژ آستانه ترانزیستور و افزایش تاخیر سوئیچینگ و همچنین افزایش تاخیر مسیر بحرانی می‌شوند. اگر چه این استرس‌ها، اتصال کوتاه و یا مدار باز در مدار ایجاد نمی‌کنند، اما به مرور زمان می‌توانند محدوده‌های از پیش‌تعیین شده زمانی را نقض کنند. در ولتاژ آستانه و دمای برابر، اثر تنزلی HCI و NBTI به مدت زمانی که ترانزیستورها تحت استرس بوده‌اند بستگی دارد. این استرس‌ها، وابسته به داده و میزان استفاده از ترانزیستور می‌باشد و بر حسب ضریب فعالیت و دوره وظیفه (نسبت زمان صفر بودن ولتاژ دروازه ترانزیستور در یک دوره تناوب ساعت) آن بیان می‌شوند [٢]. در هر دو سازوکار سالمندی مذکور، بار الکتریکی نزدیک و یا درون اکسید دروازه به دام می‌افتد و به‌صورت تدریجی ولتاژ آستانه ترانزیستور را افزایش می‌دهد. این پدیده نیز به نوبه خودش تاخیر سوئیچینگ ترانزیستور را افزایش می‌دهد [٢].

۳-۲-اثر HCI

اثر HCI هنگامی رخ می‌دهد که حامل‌های بار، از سد پتانسیلی میان اکسید دروازه و سیلیکون عبور کرده و از کانال خارج شوند. بدین ترتیب، بخشی از این حامل‌ها، وارد نواحی ممنوعه (مثلاً اکسید دروازه) می‌شوند و در آن‌جا انباشته می‌شوند. به مرور زمان، این حامل‌های انباشته شده، باعث افزایش ولتاژ آستانه و کاهش جریان تخلیه‌ای

6- coarse-grain
7- fine-grain
8- wear-out

ترانزیستور می‌شـــوند. اثر HCI برخلاف سالمندی از نوع NBTI، غیر قابل بازیابی و وابســـته به فعالیت سوئیچینگ مدار اســـت. با کاهـــش روز افزون اندازه ترانزیســـتورها، ضخامـــت دی‌الکتریک دروازه کمتر شـــده و احتمال تنزل کارایی سیستم ناشی از HCI افزایش خواهد یافت. بر اساس الگوهای مبادله داده در کاربردهای بساهسته‌ای، مشاهده می‌شـــود که بخش عمـــده‌ای از فعالیت‌های ســـوئیچینگ ســـطح گیت، محدود به بخش کوچکی از ساختار کراس‌بار می‌باشند [۷].

۳-۳-تنزل کارایی ناشی از HCI

برنامه‌های موازی سنگین در کاربردهای بساهسته‌ای، شبکه میان‌ارتباطی سیستم را شـــدیداً مورد استفاده قرار می‌دهند. هسته‌های پردازشـــی از طریق بسته‌هایی که در شبکه‌روی تراشـــه مبادله می‌شـــوند با هم ارتباط برقرار می‌کنند. از آن جا که حجم سیم‌کشی و ارتباطات نسبت به گذرگاه، بیشـــتر شده است، پهنای باند کانال‌ها کاملاً مورد اســـتفاده قرار نمی‌گیرد. از سوی دیگر بیشتر داده‌هایی که در شبکه مبادله می‌شـــوند، پهنای باند کوچکی نیاز دارند. بنابراین، ترانزیســـتورها در شبکه میان‌ارتباطی به‌صورت نامـــوزون تحریـــک می‌شـــوند و اثر HCI نیـــز به‌صورت ناهمگون در شبکه ظاهر خواهد شد. این مسئله رفته رفته، مشکل چولگی کلاک را نیز ایجاد می‌کند [۷].

۳-٤-اثر NBTI

این پدیده باعث کاهش ولتاژ آســـتانه و همچنین کاهش جریـــان تخلیه‌ای به دلیل کاهش جنـــب و جوش حامل‌های بار می‌شـــود. مشـــابه NBTI، HCI نیز باعث خرابی سیستم نمی‌شـــود و فقط به مرور زمان پارامترهای ترانزیستور را تغییر می‌دهد و باعث کاهش سرعت مدار می‌شود. گزارش‌ها حاکی از آن اســـت کـــه کاهش مقیاس در فناوری ســـاخت ترانزیســـتور، باعث تشـــدید پدیده NBTI و همچنین تشدید افزایش ولتاژ آستانه می‌شـــود. همچنین، بر خلاف HCI، با دادن ســـازوکارهای ســـالمندی NBTI و مهاجرت الکترونی نقش بسزایی درمحدود ساختن طول عمر تراشه ایفا می‌کنند. از آن جا که کارایی شـــبکه روی تراشه، کارایی کل سیستم را محدود می‌کند، رسیدگی به مشکلات قابلیت اطمینان شبکه روی تراشه، برای تضمین قابلیت اطمینان و کارایی سیستم ضروری است. معماری مســـیریاب در شبکه روی تراشه، از دو جزء اصلی پیوند و مســـیریاب تشـــکیل شـــده است. یک مســـیریاب هم از اجزاء منطقی ترکیبی و هم سلول‌های ذخیره‌ســـازی تشکیل شده اســـت. به همین دلیل، اثر NBTI عمده‌ترین دلیل ســـالمندی در مسیریاب‌های شبکه است. از سوی دیگر، پیوندهای شبکه، توسط شبکه‌های میان ارتباطی از جنس مس، پیاده‌سازی شده‌اند. وجود مس نیز، به تشدید اثر مهاجرت الکترونی کمک کرده‌است [۸].

۴-بررسی کارهای پیشین

شـــیوه‌های فعلی قابلیت اطمینان در شـــبکه‌های روی تراشه به دو دسته کلی حفاظت در برابر اشکال در طراحی منطقی مســـیریاب و همچنیـــن بازمســـیریابی در اطراف سیم‌های دچار اشکال تقسیم‌بندی می‌شوند. اگر اشکال در مســـیریاب را با اشکال در کلیه ســـیم‌های اطراف آن مدل کنیم، آن‌گاه می‌توان از شـــیوه بازمســـیریابی برای ایجاد تحمل‌پذیری در مسیریاب نیز استفاده نمود [٦].

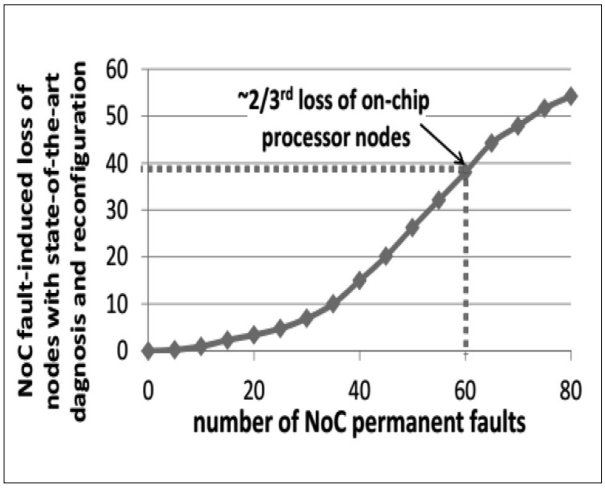
٤-۱-باز پیکربندی شـــبکه و مســـیریابی تحمل‌پذیر اشکال

از روش‌هـــای ایجاد عملکرد صحیح شـــبکه‌های روی تراشـــه مبتنی بر ســـیلیکون‌های غیرمطمئـــن، می‌توان به فراهـــم کردن بازپیکربندی مســـیریابی برای پیش‌گیری و پوشش‌دادن اشکال در شبکه اشاره کرد. حالت مطلوب این است که بازپیکربندی به‌صورت محلی و استفاده کمینه از منابع شـــبکه را پذیرا باشد. بیشتر روش‌های بازپیکربندی امـــروز، عموماً دارای این ویژگی نیســـتند و برای مدیریت تعداد کمی از اشـــکال‌ها کارآمد می‌باشند. همچنین، تاخیر بازپیکربندی مسیریابی نیز نسبتاً بالاست. اگر بازپیکربندی توســـط نرم‌افزار انجام پذیرد، این تاخیر به مراتب بیشتر

خواهد بود. علاوه بر این‌ها، در بیشتر این روش‌ها، تا اتمام بازپیکربندی شبکه، عملکرد آن معلق خواهد شد. بسته‌های جاری در شـبکه، متوقف می‌شوند و ممکن است به خاطر در تضاد بودن مسـیرهای جدید با مسیرهای پیشین، در بن‌بسـت به دام بیفتند. چالش اصلی آن اسـت که کلیه این روش‌ها، دسترسی‌پذیری شبکه را در هنگام بروز اشکال، با مشکل مواجه می‌سازند [۳].

همان‌طور که در شـکل (۲) نشـان داده شده است، با اعمال ترکیبی از روش تشـخیص و بازپیکربندی اشـکال در شبکه‌های روی تراشـه، هنگامی که تعداد اشکال‌ها در شبکه به ۶۰ می‌رسد، تقریباً ۲/۳ گره‌ها غیرقابل دسترسی خواهند شـد. بنابراین، برای تحمل‌پذیر ساختن تراشه‌های بساهسـته‌ای در برابر بروز خطا در شـبکه روی تراشه و در عین حال جلوگیری از افت شـدید ظرفیت پردازشی تراشه، باید بازپیکربندی شـبکه به‌گونه‌ای انجام شود که بیشترین استفاده از منابع شبکه صورت پذیرد تا به دنبال آن بیشترین اتصال در شبکه باقی بماند [۱].

بـا محبوبیـت اسـتفاده از همبندی‌های تـوری برای شـبکه‌های دوبعدی، طراحـی الگوریتم‌های مسـیریابی تحمل‌پذیر اشکال که قادرند سیم‌ها و مسیریاب‌های خطادار را کنـار بزنند، بسـیار مورد توجه قـرار گرفتند. علیرغم مطرح شدن مدل‌های اشکال با ریزدانگی کوچک در بخش سالمندی در شبکه‌های روی تراشه، بیشتر روش‌های فعلی برای بازمسـیریابی از این مدل‌ها بهره‌ای نمی‌برند چرا که در اصل، پیاده‌سـازی توزیع شده روش‌های برون‌تراشه هستند که در ابتدا برای مسیریابی در همبندی‌های نامنظم ارائه شـده‌اند. روش‌هـای برون‌تراشـه‌ای و معادل‌های روی تراشـه‌ای آن‌ها، پیوندهای میان مسـیریاب‌ها را دو طرفه فرض می‌کنند و یک اشـکال در یکی از جهات پیوند، به‌عنوان اشـکال در کل پیوند فرض می‌شـود. این فرض، برای شبکه‌های برون‌تراشه که قابلیت جایگزینی مسیریاب خراب موجود است، کارآمد است ولی در شبکه‌های روی تراشـه که منابع ثابتی وجود دارد، این روش که گره‌های



شکل ۲: دسترسی‌پذیری شبکه پس از اعمال روش‌های بازپیکربندی و تشخیص خطا [۱].

پردازشـی سـالم را نادیده می‌گیرد باعـث کاهش اتصال شبکه و افت شدید ظرفیت پردازشی آن خواهد شد [۶ و ۹].

در کنار تحمل‌پذیری اشکال، مسئله بن‌بست‌ها در ارسال بسته‌ها در شـبکه روی تراشه از اهمیت بالایی برخوردار است. بدین منظور، الگوریتم های مسیریابی گوناگونی ارائه شده‌اند که چرخش‌های خاصی را ممنوع می‌کنند[۹].

از سوی دیگر، بازپیکربندی شبکه جهت مسیریابی در حضور اشکال در شبکه روی تراشه، گاهی می‌تواند باعث از دست رفتن اتصال میان مسیریاب‌ها در شبکه شود. البته در بعضی موارد نیز حذف اتصال برای جلوگیری از رخداد بن‌بست در پیکربندی جدید ضروری است.

«اتصال» در یک شبکه روی تراشه در صورتی برقرار اسـت که بین هر دو مسـیریاب موجود در آن مبادله داده از طریـق پیوندها (در هر یک از جهات) امکان‌پذیر باشـد. شـبکه‌ها از نظر ویژگی «اتصال‌پذیری» به سه دسته زیر تقسیم می‌شوند:

- **غیرمتصل**: یک شبکه غیرمتصل است اگر دو مسیریاب در آن موجود باشـند که ترافیک از یکی از هیچ مسـیری نتواند به دیگری منتقل شود.
- **متصل و عاری از بن‌بست**: این شبکه متصل ولی دارای یک وابستگی دوری است به‌طوری که بسته‌هایی را در این دور می‌افتند در خطر رویارویی با بن‌بست قرار می‌دهد و

باعث انتظار بی‌نهایت آن‌ها برای خالی شـــدن میانگیرهای همســـایه می‌شـــود. بنابراین، شـــرط کافی برای رهایی از بن‌بســـت، حذف همه این وابســـتگی‌های دوری در شبکه اســـت. روش‌های معمولی که برای حذف این وابستگی‌ها به کار می‌روند، مبتنی بر غیرفعال کردن اتصالات مشخص میان پیوندها که «چرخش» نامیده می‌شـــوند، می‌باشند. با غیر فعال کردن این اتصالات اســـت کـــه یک یال از دورها حذف شده و در نتیجه وابستگی‌های دوری از بین می‌روند.

● **غیرمتصل برای جلوگیری از بن‌بست:** در این شبکه نیز مانند شـــبکه قبلی برای حذف خطر بن‌بست وابستگی‌های دوری حذف شـــده‌اند با این تفاوت کـــه حذف آن‌ها باعث مجزا شـــدن دو مســـیریاب از هم و در نتیجه از بین رفتن اتصال شبکه شده است [۱].

تک‌نقطه خرابی‌بودن مســـیریاب‌ها در شبکه‌های روی تراشـــه، می‌توانـــد باعث عدم اتصال شـــبکه، کاهش تعداد هســـته‌های پردازشـــی ســـالم و در نتیجه کاهش ظرفیت پردازشی تراشه شـــود. بیشتر روش‌های نوین تحمل‌پذیر اشکال در شبکه‌های روی تراشـــه، در حضور تعداد قابل توجهی اشـــکال در شـــبکه عملکرد خوبـــی ندارند و باعث ایزوله ماندن تعداد زیادی از هسته‌های پردازشی می‌شوند [۱].

٤-۲-الگوریتم مسیریابی تحمل‌پذیر اشکال در دوبعد

لی و همـــکاران یک الگوریتم بازپیکربندی مســـیریابی سریع در شـــرایط خطا برای شـــبکه‌های روی تراشه دو بعدی ارائه کرده‌اند که کمینه، توزیع‌شـــده، محلی و مستقل از نوع همبندی شـــبکه اســـت. این الگوریتم، ۸۰٪ در تعداد مسیریاب‌هایی که تحت تاثیر یک رخداد بازپیکربندی قرار می‌گیرند(یعنی نمی‌توانند در مســـیریابی شرکت کنند و از ظرفیت محاسباتی شـــبکه می‌کاهند) کاهش ایجاد می‌کند. علاوه بر آن، زمان مورد نیاز بازپیکربندی مســـیریابی در شبکه را ۹۸٪ کاهش می‌دهد. این روش همچنین، بیشترین اتصال میان مســـیریاب‌های شـــبکه را برقرار می‌سازد و عاری از بن‌بست اســـت. این روش مسیریابی، بهبود یافته روش مســـیریابی قطعه قطعه‌ای[9] افزون بر در نظر گرفتن یک فراداده[10] برای هر مسیریاب در شبکه است[۳].

پاریخ و همکاران نیز با انگیزه افزایش اتصال شبکه به منظور مسیریابی هنگام رخداد اشکال، طرح دیگری را ارائه کرده‌اند. الگوریتم ارائه شـــده توسط آن‌ها مستقل از تعداد و جای خطاهای موجود در شبکه است. مدل خطایی که در این مقاله به کار گرفته شـــده است، مدل خطا با ریزدانگی ســـیم‌های تک طرفـــه (و نه دوطرفه) میان مســـیریاب‌های شبکه است. این ریزدانگی کمک کرده است تا بازپیکربندی مسیریابی به تنوع بیشـــتر مسیرها، تعادل بار در شبکه و همچنین اتصال بیشینه گره‌ها در شبکه بینجامد. الگوریتم پیشنهادی، توسعه یافته الگوریتم بالا*/پایین* است که در آن از مدل خطای مذکور کمک گرفته شده است و عاری از بن‌بســـت و بدون نیاز به کانال‌های مجازی[11] اضافی است. با بروز خرابی در شبکه در گذر زمان، این الگوریتم سیم‌ها را به‌صورت باصرفه[12] غیرفعال می‌کند تا بیشترین اتصال میان گره‌های شبکه برقرار بماند[٦].

پاریخ و همکاران در مقاله دیگری که بهبود یافته مقاله قبلی اســـت با مدل خطـــای ریزدانه مذکـــور، یک الگوریتم مسیریابی مطمئن دیگر میان مســـیریاب‌هایی که هنوز به شبکه متصل اند، طراحی کرده‌اند[۱].

چایکـــس و همـــکاران در مقاله دیگری، یـــک الگوریتم مسیریابی نوین تحمل‌پذیر اشـــکال در حضور خرابی در گـــره و پیوند در شـــبکه‌های روی تراشـــه دو بعدی ارائه کردند که عاری از بن‌بست و مقیاس‌پذیر است و از جداول مسیریابی استفاده نمی‌کند. برای مسیریاب مورد استفاده در این مقاله یک ســـاختار ســـاده در نظر گرفته شده است به این صورت که یک پایشگر رابط شبکه، درخواست‌های هسته‌های پردازشی را به فلیت تبدیل کرده و پایش جریان میان هســـته‌های پردازشـــی را مدیریـــت می‌کند. همچنین الگوریتم مســـیریابی نوینی که مسیریابی صریح نام دارد،

9- segmented
10- metadata
11- Virtual channels
12- frugal

پیشـــنهاد شـــده اســـت. ویژگی اصلی این مقاله در کاهش تاخیر مسیریابی به کمک مسیرهای صریح است [۹].

٤-۳-الگوریتم مسیریابی تحمل‌پذیر اشکال در سه‌بعد

رحمانی و همکاران در مقاله خود، برای شبکه‌های روی تراشـــه ســـه‌بعدی که از اتصال چند لایه دوبعدی به کمک گذرگاه‌هایی که به مســـیریاب‌های هر لایه متصل هستند، الگوریتم تطابقی مسیریابی آگاه از تجمع(در گذرگاه) ارائه کرده‌اند که بهبود یافته الگوریتم XYZ ایســـتا است. در این مقاله، بافرهای خروجی مســـیریاب‌ها در مســـیر گذرگاه اتصال‌دهنده دو لایه، برای کاهش توان مصرفی و همچنین پیاده‌سازی الگوریتم پیشنهادی مقاله، حذف شده‌اند. زیرا این میانگیرها، مشـــکلات بن‌بســـت و تاخیـــر در ارتباطات میان‌لایه‌ای از طریق گذرگاه‌ها ایجاد می‌کنند و مانع تعادل بار درشبکه می‌شوند[٤].

٤-٤-الگوریتم مسیریابی تحمل‌پذیر اشکال سالمندی

بهاردواج و همکاران در مقاله خود یک مدل سیســـتمی برای ســـالمندی ناشـــی از NBTI و مهاجـــرت الکترونی در شبکه‌های روی تراشه ارائه کرده‌اند. این مدل تأخیر فلیت‌ها در شـــرایط استرس مسیریاب و سیم را به‌صورت جداگانه برابر حاصل جمع تاخیر در شرایط بدون استرس و تغییرات تأخیر در شرایط استرس بیان می‌کند. همچنین یک الگوریتم مسیریابی فراموشـــکار، که اثر سالمندی را کاهش می‌دهد، ارائه شده است. مسئله مســـیریابی در این‌جا به یک مسئله بهینه‌ســـازی با چندین تابع هزینه که هر کدام چندین متغیر را در بر می‌گیرند، نگاشـــته شده است. این توابع عبارتند از: تعداد سیم‌های اشغال شده در یک جریان، تعداد کل سیم‌های اشغال شـــده برای همه جریان‌ها، تاخیر کلی ناشی از همه مسیریاب‌ها، تاخیر کلی همه سیم‌ها، انرژی کل همه جریان‌ها، حاصل‌ضرب انرژی-تاخیر به ازای هر فلیت [۸].

وانگ و همکاران در مقاله دیگری، مسئله مسیریابی در شبکه‌های روی تراشه را با در نظر گرفتن قابلیت اطمینان شـــبکه حل کرده‌انـــد. در این مقاله، یـــک بودجه طول عمر برای هر مســـیریاب در نظر گرفته می‌شـــود و با استفاده از این بودجه، مســـئله مسیریابی به مسئله بیشینه ساختن یک پارامتر تبدیل می‌شـــود. حل این مســـئله با استفاده از برنامه‌ســـازی پویا انجـــام می‌پذیرد. راه حل این مســـئله پیچیدگی‌اش خطی اســـت و از مرتبهٔ[۱۳] طولانی‌ترین مسیر در شبکه اســـت. هزینه بهینه یک انتقال از مبدا s تا مقصد d با $V^*(s, d)$ نمایش داده می‌شـــود که برابر با بیشینه $V_j(s, d)$ است. طبق برنامه‌ســـازی پویا، برای همه جهت های j:

$$V_j(s, d) = V^*(N(j), d) + LB_s$$

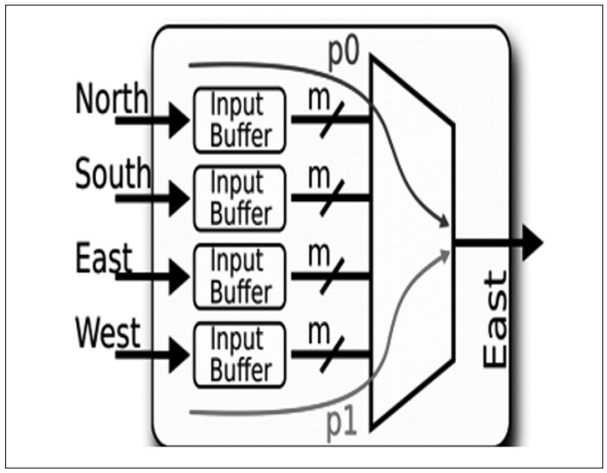
LB_s برابر اســـت با بودجه طول عمر برای مسیریاب s که بر اساس نرخ خرابی مسیریاب محاسبه می‌شود[۱۰].

٤-۵-ریزمعماری‌های مقاوم در برابر سالمندی برای مسیریاب در شبکه

آنکاجاس و همـــکاران در مقاله خود، اثـــر HCI، که به شدت وابســـته به فعالیت ســـوئیچینگ مدار است، در یک مسیریاب شبکه روی تراشه بررسی کرده‌اند. از آن جا که مسیر بحرانی در مسیریاب، سوئیچ است، واحد کراس‌بار از همه واحدها بیشـــتر تحت تاثیر سالمندی ناشی از پدیده HCI اســـت. بنابرایـــن چهار طرح مختلف بـــرای توزیع اثر سالمندی در ریزمعماری مسیریاب و کاهش اثر سالمندی در مسیریاب‌ها در این مقاله ارائه شده است. این چهار روش عبارت‌اند از: مهاجرت بیت‌ها، حالت ســـیکل توزیع‌شـــده، ســـوئیچینگ راه در کراس‌بار و ترکیبی از مهاجرت بیت‌ها و ســـوئیچینگ راه در کراس‌بـــار. در زیر مختصری از هر کدام از این چهار روش که هســـته این مقاله اســـت، آورده شده است:

مهاجرت بیت‌ها: در این روش، قسمت‌های مختلف داده‌ای که در حال ارســـال از طریق کراس‌بار اســـت، با هم جابه‌جا می‌شود. برای پیاده‌ســـازی این روش از یک مدار مهاجرت دهنده بیت‌ها استفاده شده است که کوچک‌ترین سرباری به مسیربحرانی خط لوله شبکه روی تراشه وارد نمی‌کند.

13- Order



شکل ۳: استفاده نامتعادل از دو مسیر یکسان در کراس‌بار [۷].

● **حالت سیکل توزیع شـــده**: در این روش، از یک لچ در ورودی کراس‌بار استفاده می‌شود تا در زمان‌های بیکاری کراس‌بار، ترانزیســـتورهای که در سیکل‌های قبلی سوئیچ نکرده‌اند، حالت خود را تغییر دهند و همه ترانزیســـتورها به‌طور مساوی در معرض HCI باشند.

● **سوئیچینگ راه در کراس‌بار**: این روش بر خلاف دو روش اول که برای متعادل‌سازی فعالیت سوئیچینگ داخل قسمت‌های یک کانال می‌باشند، برای مقابله با تنزل[14] مدار ناشی از حالتی اســـت که یک راه[15] در کراس‌بـــار(زوج ورودی-خروجی در کراس‌بار) از بقیه بیشتر مورد استفاده قرار می‌گیرد. در شکل (۳)، هر دو مسیر p0 و p1 در کراس‌بار به یک خروجی یکسان (خروجی شرقی) منتهی می‌شوند. هر کدام از آن‌ها که بیشتر مورد اســـتفاده قرار بگیرد، ترانزیستورهای محتوی خود را بیشـــتر در معرض اثر HCI قرار می‌دهد. در این روش، سعی بر آن است تا میزان استفاده از هر کدام از راه‌های کراس‌بار، متعادل شود. برای پیاده‌سازی این ایده، کافی است در واحد اختصاص‌گر کانال[16] و همچنین محاسبه کردن مسیر تغییرات کوچکی اعمال شود.

● **ترکیبی از مهاجرت بیت‌ها و حالت سیکل توزیع شده**: در این روش، توزیع ســـوئیچینگ در یک کانال و همچنین توزیع فعالیت ها میان کانال‌های مختلف، با هم به کار گرفته می‌شوند [۷].

14- Degradation
15- Lane
16- VC allocator

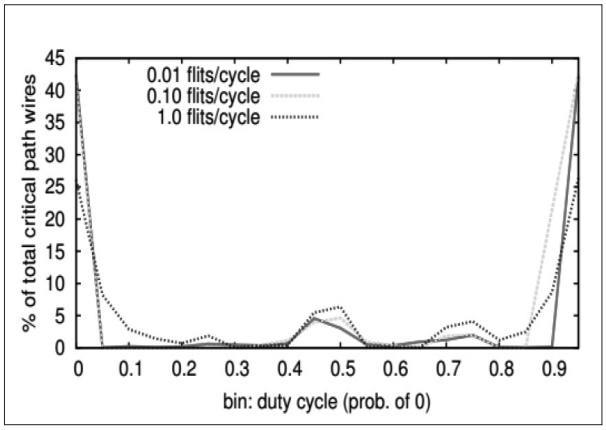
کیـــم و همـــکاران بـــر اســـاس مدل‌هـــای ســـالمندی ترانزیســـتوری برای NBTI و HCI، یک مدل نوین بر اساس مسیر بحرانی برای شناسایی فرسودگی ناشی از سالمندی ارائـــه داده‌انـــد. از روی ایـــن مدل، مســـیرهایی که از همه بیشتر در معرض فرسودگی هستند، پیدا شده و در نهایت یک ریزمعماری برای مســـیریاب که در برابر فرســـودگی مقاوم اســـت و طول عمر مـــدارات مســـیریاب را نیز بالا می‌بـــرد (با لحاظ کردن تأثیـــر ناچیز روی محدودیت‌های تأخیر، خط لوله، مســـاحت و توان مصرفی) معرفی شـــده است.

در این مقاله همچنین نشان داده شده است که طول عمر یک ترانزیستور در معرض HCI با عکس فعالیت سوئیچینگ آن ترانزیستور متناسب است.

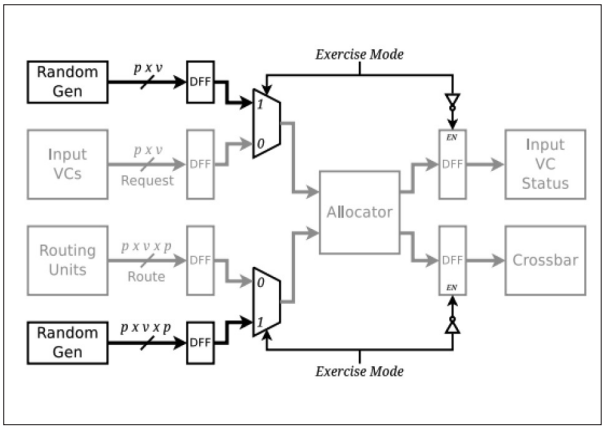
بنابرایـــن، با افزایش آن، نه تنها توان مصرفی افزایش می‌یابد بلکه ســـرعت ســـالمندی نیز افزایش خواهد یافت. همچنیـــن طول عمر یـــک ترانزیســـتور در معرض NBTI، متناســـب با دوره وظیفه آن اســـت که هر چه کمتر باشد، ســـرعت ســـالمندی نیز کمتر خواهد بـــود. در این مقاله، سپس نشان داده شده اســـت که تمام مسیرهای بحرانی از اختصاص‌گـــر کانال مجازی و اختصاص‌گر ســـوئیچ عبور می‌کنند. همچنین، میزان اشـــغال بودن این واحدها متناسب است با نرخ ورود بســـته به مسیریاب. از طرف دیگر، فعالیت این سیم وابســـته است به فرکانس ۱ شدن سیگنال درخواســـت که به این واحدها فرستاده می‌شود. در نتیجه، فعالیت ســـیم به اشغال کردن مسیریاب توسط یک بار کاری وابسته است. بنابراین، به‌طور عادی انتظار می‌رود که زمان‌های اســـترس NBTI و HCI که به فعالیت سوئیچینگ و دوره وظیفه سیم‌ها بستگی دارند، به میزان اشـــغال بودن مسیریاب هم بستگی داشـــته باشند. برای ارزیابی میزان حساســـیت مسیر بحرانی یک مسیریاب به فرســـودگی ناشـــی از HCI و NBTI، در این مقاله، فعالیت ســـیم‌ها در نرخ‌هـــای ورود مختلـــف در بارهـــای کاری ســـاختگی اندازه گرفته شده اســـت. از این اندازه‌گیری‌ها،

جدول ۱: مقایسه مقالات ارائه شده درحل مسئله سالمندی با استفاده ازمسیریابی

روش	مقاله ۳	مقاله ۶	مقاله ۹	مقاله ۴
استفاده از ریزدانگی سطح سیم یک‌طرفه	ندارد	دارد	دارد	ندارد
استفاده از ریزدانگی سطح سیم یک‌طرفه	هست	نیست	نیست	هست
استفاده از جدول مسیریابی	دارد	دارد	دارد	ندارد
تأخیر مسیریابی	بسیار کم	بسیار کم	بسیار کم	نسبتاً کم
طول متوسط مسیر	بسیار کم	نسبتاً کم	نسبتاً کم	کم
ارائه مدل سالمندی	ندارد	ندارد	ندارد	ندارد



شکل ۴: نمودار دوره وظیفه بر حسب نرخ ورود [۲].



شکل ۵: مدار تصادفی‌ساز [۲].

سه نتیجه مهم به دست آمده است: ۱- فعالیت سیم‌ها آن‌چنان به نرخ ورود بستگی ندارد و با افزایش نرخ ورود، افزایش چندانی ندارد. ۲- بیشتر دوره‌های وظیفه یا خیلی نزدیک ۰ بوده و یا خیلی نزدیک ۱ و این امر در نرخ‌های ورود متفاوت تفاوتی ندارد. ۳- با توجه به شکل (٤)، با افزایش نرخ ورود، تعداد دوره وظیفه‌های نزدیک به ۱ و یا ۵ کاهش یافته و تعداد دوره وظیفه‌های میانی افزایش می‌یابد، بنابراین چولگی دوره وظیفه در نرخ‌های ورود بالا کاهش می‌یابد که بر خلاف تصور معمول است. از آن جا که کاهش دوره وظیفه در مسیریاب‌ها برای کم کردن سرعت سالمندی ناشی از NBTI سودمند است.

در این مقاله، از ایده تغییر دادن هر از چندگاهی مقدار یک سیم برای کاهش دوره وظیفه با پذیرش افزایش ناچیز HCI استفاده شده است (روش پیشگیری). بدین منظور، یک مدار منطقی تصادفی ساز مطابق شکل (۵) برای متعادل ساختن دوره وظیفه مسیرها که کار آن تزریق داده تصادفی به‌عنوان سیگنال درخواست داخل اختصاص‌گرها می‌باشد در نظر گرفته شده است، که وقتی هیچ سیگنال درخواستی به اختصاص‌گرها وارد نمی‌شود، فعال خواهد شد. این مدار منطقی، سیگنال‌های درخواست و مسیریابی را با یک بردار تصادفی جایگزین می‌کند، به‌طوری که چولگی دوره وظیفه مسیرهای بحرانی از ورودی به اختصاص‌گرها کمینه شود. همچنین، این مدارمنطقی خللی در عملکرد عادی مسیر ورودی به اختصاص‌گر ها ندارد [۲].

٤-۶ تحلیل جامع از کارهای قبلی و انگیزش این مقاله

برای حل مشکلات سالمندی در شبکه روی تراشه روش‌های مسیریابی و مبتنی برمعماری ارائه شده است. این روش‌ها در ۲ جدول ۱ و ۲ از دیدگاه مختلف مقایسه شده‌اند. این روش‌ها، هیچ کدام مدل دقیق از ناحیه داغ ارائه نکرده‌اند تا بتوان با کاهش آن سالمندی را در شبکه‌های روی تراشه کاهش داد.

جدول ۲: مقایسه مقالات ارائه شده درحل مسئله سالمندی با استفاده ازمعماری

روش	مقاله ۷	مقاله ۸
متعادل‌سازی اثر HCI	دارد	ندارد
متعادل‌سازی اثر NBTI	ندارد	دارد
ارائه مدل سالمندی	ندارد	ندارد.

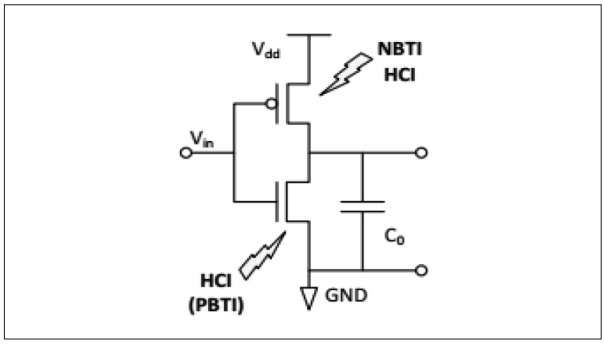
۵-بررسی و ارائه روش پیشنهادی

شبکه‌های روی تراشـــه، با قرار دادن لایه‌های مختلف ســـیلیکون بر روی یکدیگر، طول ســـیم‌ها را کاهش داده و منجر به کاهش تأخیر می‌شـــوند. اما، قـــرار دادن لایه‌های مختلف بر روی یکدیگر باعث می‌شـــود مسیر هدایت گرما طولانی شـــود و چگالی توان در واحد سطح افزایش یابد. عدم دفع حرارت تولید شـــده در لایه‌های دور از گرماگیر، باعث افزایش مقاومت ســـیم‌ها و مسیرهای ارتباطی، و در نتیجه باعث افزایش تأخیر انتقال می‌شـــود. این مشـــکل نه تنها کارایی شـــبکه را کاهش می‌دهد، بلکه می‌تواند قابلیت اطمینان ارســـال بسته‌ها را نیز تحت تأثیر قرار دهد. از این رو، حل مشـــکل حرارتی که یک چالش مهم در شـــبکه‌های روی تراشـــهٔ ســـه‌بعدی اســـت، مورد توجه طراحان قرار گرفته اســـت. روش‌هـــای موجود مطالعـــه دقیقی بر روی مدل ناحیـــه داغ ندارند. در این مقاله، مدل‌های ســـالمندی کارآمد برای یافتن الگوریتم‌های مســـیریابی شامل اتصال درمســـیریاب‌های شبکه روی تراشـــه بررسی شده است و سپس جهت بررسی میزان ســـالمندی هر یک از اجزای شبکه شبیه‌ســـازی‌های مبتنی بر شبیه‌ساز بوکسیم انجام شد.

۵-۱-مدل‌های اشکال سالمندی

برای تخمین کارایی سیســـتم‌های متشکل از مدارهای مجتمع، نیاز شـــدید به یک مدل قابلیـــت اطمینان برای آن سیستم دیجیتال و ارزیابی آن هنگام طراحی سیستم داریم.

پدیده‌های ســـالمندی HCI و NBTI، به خـــودی خود، موجب خرابی سیستم نمی‌شوند بلکه به مرور زمان و تحت اســـترس‌های کاری که به ترانزیســـتورها اعمال می‌کنند، پارامترهای آن‌ها را جا به جا می‌کنند[۲].



شکل ۶: معکوسکننده CMOS [۲].

طبق قانون توان آلفا، افزایش تاخیر ترانزیستور ناشی از افزایش ولتاژ آستانه آن با رابطه (۱) بیان می‌شود:

$$d_g \propto \frac{V_{dd}}{\mu(V_{dd}-V_{th})^{\alpha}} \qquad (۱)$$

که در آن d_g تاخیر تغییر حالت ترانزیســـتور اســـت. $\mu \propto T$ و T بیانگر درجه حرارت است و $\alpha = 1.3$.

طول عمر مفید یک تراشه را می‌توان زمان مورد نیاز تا خرابی یکی از مولفه‌های تراشـــه که در زمان اولیه ساخت آن درســـت عمل می‌کرده اســـت، تعریف کـــرد. برای یک دروازه، وقتی ΔV_{th} به مثلاً ۱۰٪ مقدار اولیه‌اش می‌رســـد، ترانزیستور سالمند فرض می‌شود. شکل (٦) یک معکوس کننده CMOS را نشـــان می‌دهد که در آن ســـازوکارهای سالمندی مرتبط با هر ترانزیستور نیز مشخص شده است.

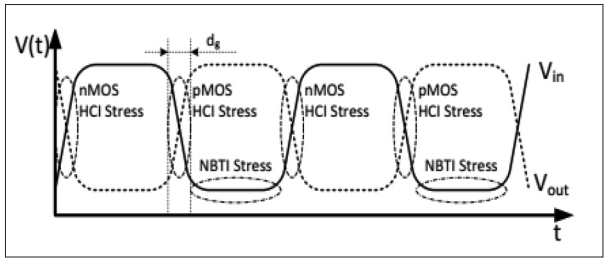
پدیده HCI برای هر دو ترانزیستورهای pMOSFET و nMOSFET رخ می‌دهد، در حالی که پدیده NBTI مختص ترانزیستورهای pMOSFET اســـت. شایان ذکر است که PBTIمعـــادل NBTI برای ترانزیســـتورهای nMOSFET است ولی اثر آن بســـیار ناچیز است و از آن چشم‌پوشی می‌شود[۲].

۵-۲-مدل اشکال HCI

برای تخمیـــن اثر HCI معمولا از مدل I_{sub} اســـتفاده می‌شـــود. مقاله‌های پیشـــین اثر HCI را در استرس DC بر تغییرات ولتاژ آستانه ترانزیستور با رابطه (۲) بیان می‌کند:

$$V_{th-HCI|DC} = A(I_{sub})^{m} t_{stress}^{n'} \qquad (۲)$$

که در آن A وابسته به جنس ماده است، t_{stress} طول کل



شکل ۷: زمان‌های ظهور HCI و NBTI [۲].

زمانی است که ترانزیستور تحت استرس بوده است و n' , m پارامترهای مربوط به فناوری ساخت ترانزیستورند.

طبق قانون توان آلفا، تاخیر یک ترانزیستور در تغییرات کوچک V_{th} به‌صورت خطی وابسته به آن است. بنابراین اگر $\hat{A}$ را یک ثابت برازش کننده فرض کنیم، رابطه (۳) را خواهیم داشت:

$$V_{th-HCI|DC} = \hat{A}(I_{sub})^m t_{stress}^{n'} \qquad (۳)$$

بنابراین عمر تراشه، به‌صورت رابطه (٤) به‌دست خواهد آمد:

$$TTF_{HCI|DC} = A_{HCI}(I_{sub})^{-N'} e^{\frac{E_a\,HCI}{kT}} \qquad (٤)$$

که در آن E_{aHCL} انرژی فعال‌سازی ظاهری است، I_{sub} جریان substrate تحت استرس و در شرایط $V_D = V_G$ است. T درجه حرارت و k ثابت بولتزمان است. N' پارامتر مربوط به فناوری ساخت و A_{HCL} یک ثابت برازش‌کننده است[۲].

پدیده HCI، برخلاف پدیده NBTI فقط در هنگام تغییرات پویا به ترانزیستور استرس وارد می‌کند که درشکل(۷) قابل مشاهده است. ترانزیستور pMOSFET هنگام افزایش ولتاژ خروجی و شارژ خازن و ترانزیستور nMOSFET هنگام کاهش ولتاژ خروجی و دشارژ خازن دچار HCI می‌شوند. بنابراین هر کدام از ترانزیستورها فقط در نصف دوره تناوب سوئیچینگ خود دچار HCI می‌شوند. بنابراین مدت زمانی که یک ترانزیستور در یک تراشه در بازه $[0, t]$ تحت استرس HCI است با رابطه (٥) بیان می‌شود:

$$t_{HCI\,Stress} = d_g f \alpha_{SA} t \qquad (٥)$$

که در آن d_g تاخیر تغییر حالت، f فرکانس ساعت و α_{SA} فعالیت سوئیچینگ ترانزیستور است.

از آن‌جا که HCI هنگام روشن و خاموش شدن ترانزیستورها رخ می‌دهد، بنابراین اثر HCI را می‌توان از روابط (۳) و (٤) و(٥)، به‌صورت رابطه (٦) به‌دست آورد:

$$d_{g-HCI|AC} = A(I_{sub})^m \left(d_g f \alpha_{SA} t\right)^{n'} \qquad (٦)$$

بنابراین طول عمر تحت استرس HCI به‌صورت رابطه (۷) به‌دست می‌آید:

$$TTF_{HCI(T,\alpha_{SA})|AC} = A_{HCI} \frac{1}{d_g f\, \alpha_{SA}} (I_{sub})^{-N'} e^{\frac{E_a\,HCI}{kT}} \qquad (۷)$$

طبق رابطه (۷)، طول عمر ترانزیستور تحت استرس HCI به‌صورت معکوس با فعالیت سوئیچینگ α_{SA} رابطه دارد. بنابراین طبق شکل (۷)، فعالیت‌های سوئیچینگ پشت سر هم، نه تنها توان مصرفی پویا را افزایش می‌دهد، بلکه باعث افزایش سرعت HCI نیز خواهد شد [۲].

۵-۳-مدل اشکال NBTI

کیم و همکاران از مدل استرس AC برای پدیده NBTI در فرکانس‌های بالا در مدارات CMOS استفاده کرده‌اند. در این مدل برای اثر NBTIدر بازه $[0, t]$یک حد بالا تخمین می‌زنند که در رابطه (۸) آمده است:

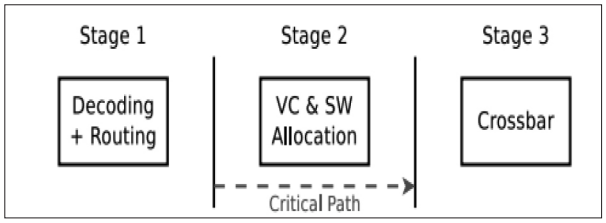
$$V_{th\,NBTI} = A\left(\frac{\beta}{1-\beta}\right)^n t^n e^{\left(-\frac{nE_a\,NBTI}{kT}\right)} \qquad (۸)$$

که در آن E_{aNBTI} انرژی فعال‌سازی ظاهری است، T درجه حرارت و k ثابت بولتزمان است. N' پارامتر مربوط به فناوری ساخت و A یک ثابت برازش‌کننده است[۲].

طبق قانون توان آلفا، تاخیر درجه اول دروازه می‌تواند به‌عنوان تابعی خطی از ولتاژ آستانه تقریب زده شود. بنابراین تغییرات تاخیر دروازه می‌تواند به‌صورت رابطه (۹) بیان شود:

$$d_{g-NBTI} = \hat{A}\left(\frac{\beta}{1-\beta}\right)^n t^n e^{\left(-\frac{nE_a\,NBTI}{kT}\right)} \qquad (۹)$$

طبق رابطه (۹)، طول عمر به‌صورت رابطه (۱۰) بیان می‌شود:



شکل ۸: مسیریاب با تعداد گام‌های خط لوله کاهش یافته[۲].

$$TTF_{NBTI} = \left[A_{NBTI}\left(\frac{\beta}{1-\beta}\right)^{n} e^{\left(-\frac{nE_a\,NBTI}{kT}\right)}\right]^{1/n} \quad (۱۰)$$

بنابرایـــن، طول عمر به دوره وظیفه ســـیگنال ورودی دروازه بستگی خواهد داشت[۲].

۵-٤-تاخیر در مسیر بحرانی و نقش آن در سالمندی

در طراحی سنتی مدارات CMOS، فرکانس ساعت توسط تاخیر مســـیر بحرانی تعیین می‌شـــود. این مسیر بحرانی شـــامل زنجیره‌ای از دروازه‌های به هم متصل که در میان آن‌ها نیز لچ وجود دارد. پدیده‌های سالمندی به مرور زمان تاخیر هر دروازه و تاخیر مسیر بحرانی در این زنجیره را افزایش می‌دهند. در طراحی امـــروزی مدارات CMOS، به دلیل افزایش تاخیر و دلایل دیگری همچون تغییر فرآیند[۱۷]، در طراحی یک سری حاشیهٔ اطمینان[۱۸] برای زمان در نظر می‌گیرند تا در بازه زمانی مشخصی، رعایت محدوده‌های زمانی از پیش تعیین شده و به تبع عملکرد صحیح سیستم، تضمین شود. هنگامی که افزایش تاخیر مجموع دروازه‌ها از این حاشیهٔ اطمینان افزایش پیدا می‌کند، درستی عملکرد سیستم نیز دیگر تضمین شده نیست. بنابراین، لحظه‌ای که در آن اولین نقض شدن محدوده‌های زمانی از پیش‌تعیین شده سیستم رخ می‌دهد، عمر مفید سیستم را معین خواهد کرد. از آن جا که هر دو پدیده ســـالمندی، روی مدت زمان سوئیچینگ ترانزیســـتور تاثیر می‌گذارند بنابراین، بیشینه تاثیر خود را در مســـیر بحرانی که بیشـــتری تاخیر را در مدار دارد، خواهند گذاشت [۲].

کیم و همکاران، برای به دست آوردن مسیر بحرانی در مسیریاب های شبکه روی تراشه، مسیریابی را با معماری

17- process variation
18- guard band

شـــکل (۱) در نظر گرفته‌اند، با این تفاوت که در آن هر دو مرحله اختصاص کانال مجازی و سوئیچ همزمان صورت می‌پذیـــرد. به بیـــان دیگر، به روش گمانه‌زنـــی، به فلیت‌ها اجازه داده می‌شود در حالی که دارند برای به‌دست آوردن کانال رقابت می‌کنند برای به دســـت آوردن سوئیچ نیز در رقابت باشـــند. شکل (۸) گام‌های خط لوله این مسیریاب را نشـــان می‌دهد کـــه در آن به جای ٤ گام خـــط لوله، ۳ گام وجود دارد.

برای به‌دســـت آوردن مســـیر بحرانی در مســـیریاب پیشـــنهادی که در شـــکل (۸) مشاهده می‌شـــود، مدل RTL مسیریاب را توسط Synopsis Design Compiler و کتابخانه فناوری ٤٥ نانومتر با فرکانس ســـاعت ۱ گیگاهرتز ســـنتز کردند و همه مســـیرهای بحرانی با لختی[۱۹] بـــه اندازه ۱۰٪ فرکانس ســـاعت را استخراج نمودند. نتایج کار آن‌ها نشان داد که همه مسیرهای بحرانی مذکور متعلق به اختصاص‌گر سوئیچ و کانال مجازی در مسیریاب هستند [۲].

۵-۵-نقش کراس بار در مسیر بحرانی

کراس‌بار قلب شبکه‌های میان‌ارتباطی محسوب می‌شود و از آن‌جا که مســـیربحرانی در شـــبکه را تشکیل می‌دهد، بسامد کاری سیســـتم را تحمیل می‌کند. در کراس‌بار سه مشکل عمده قابلیت اطمینان وجود دارد:

- فعالیت ســـوئیچینگ دروازه‌ها به خاطر الگوهای خاص شود بیتی در ارسال داده‌ها، در تعداد محدودی از بیت‌های پهنای باند کانال متمرکز شـــده است. این عدم تقارن، تنزل نامتعادل ناشی از HCI را به همراه خواهد داشت.
- از آن‌جا که ترانزیســـتورهای معادل بـــا پرارزش‌ترین بیت‌هـــا، مقدار قبلـــی خود را حفظ می‌کنند و ســـوئیچینگ ندارند، می‌توانند متحمل اثر NBTI شوند.
- با توجه به جدول ۳، کراس‌بار یک مدار گسترده[۲۰] با عمق منطقی کم[۲۱] اســـت، بنابراین تغییرات تاخیر جزئی ناشی از HCI و NBTI، اثر چشمگیری روی تاخیر مسیر بحرانی مدار

19- slack
20- wide
21- shallow logic depth

جدول ۳: عمق منطقی عناصر شبکه روی تراشه [۷].

جریان	عمق منطقی	# از دروازه‌ها
سوییچ کراس بار	۴	۵۷۶۰
64-bit ALU	۴۶	۴۷۲۸
آدرس ژنراتور	۴۳	۴۹۱
صف منطقی	۳۳	۱۸۹

خواهد گذشت[۷].

۶- ارزیابی و شبیه‌سازی

در این مقاله، بر آن شدیم تا در گام اول در طراحی مدل سالمندی و به دنبال آن الگوریتم مسیریابی آگاه از سالمندی برای شبکه‌های روی تراشه، میزان مستعد بودن هر یک از مسیریاب‌های روی شبکه را نسبت به سالمندی ارزیابی کنیم. انگیزه اصلی پشت این کار این است که مسیریاب‌های میانی در شبکه‌های روی تراشه، با احتمال بیشتری سالمند می‌شوند. برای آزمون این فرض، از ابزار بوکسیم نسخه ۲ و پرونده پیکربندی شبکه توری دوبعدی ٦×٦ و همچنین ترافیک‌های واقعی شبکه روی تراشه یعنی SPLASH-2 استفاده کردیم.

۶-۱-تغییرات اعمال شده در توابع ارسال و دریافت مسیریاب‌ها

همانطور که در بخش قبلی اشاره شد، برای ارزیابی تعداد فلیت‌های ارسالی و دریافتی در هر سیکل ساعت، نیاز به اصلاح توابع ارسال و دریافت در رده iq_router داریم. این رده داده‌ساختار، متناظر با مسیریاب در شبکه روی تراشه است که برای شبیه‌سازی پیوند، از داده ساختار صف استفاده می‌کند. بدین‌ترتیب، هر گاه صف متناظر با یک پیوند از یک مسیریاب خالی نباشد، یک فلیت از آن صف ارسال شده و هنگامی که فلیت در ورودی یک پیوند از یک مسیریاب وجود داشته باشد و همچنین صف متناظر با آن پیوند خالی باشد، فلیت مذکور توسط آن پیوند دریافت می‌شود.

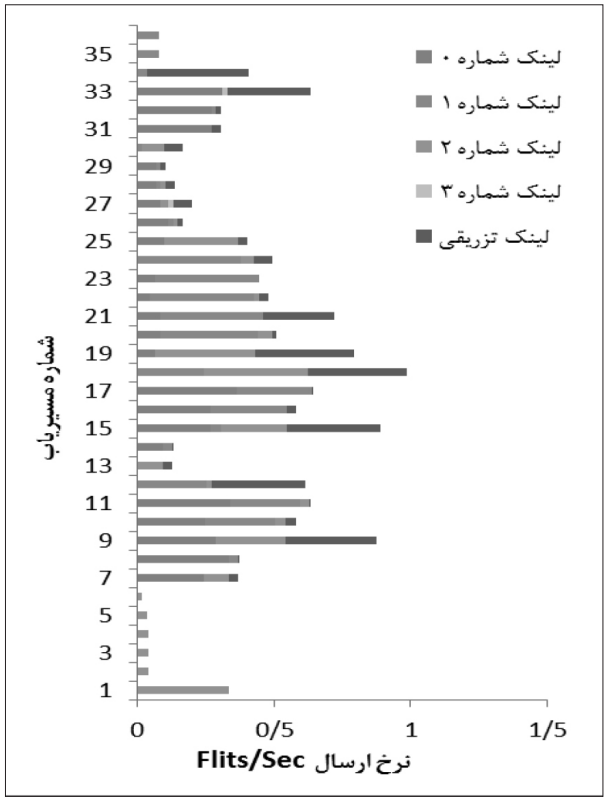
شکل ۹: نرخ دریافت فلیت در مسیریاب‌های شبکه

۶-۲-نتایج

اگر برای سنجش سالمندی در شبکه، از ریزدانگی در سطح مسیریاب استفاده کنیم، باید نرخ پنج پیوند مرتبط با هر مسیریاب را با هم جمع کنیم. بدین ترتیب، برای سنجش نرخ دریافت از هر مسیریاب، مجموع نرخ‌های دریافت پیوندهای شمالی، شرقی، جنوبی و غربی و رانشی[۲۲] و همچنین برای سنجش نرخ ارسال، مجموع نرخ‌های ارسال چهار پیوند مذکور به همراه پیوند تزریقی[۲۳] را در نظر می‌گیریم. شکل‌های (۹) و (۱۰) به ترتیب نرخ های دریافت و ارسال در مسیریاب‌های شبکه در بازه زمانی ۱۰۰تا۵۰۰ را نشان می‌دهند. همچنین برای آسان‌تر کردن تحلیل خود، یک نرخ دریافت مجتمع شده در نظر می‌گیریم که بیانگر مجموع نرخ‌های دریافت در یک شکل هندسی مربع یا مستطیل است.

همان‌طور که در شکل (۹) مشخص است، بیشترین نرخ دریافت مجتمع‌شده، متعلق به دسته‌ای از مسیریاب‌های میانی یعنی مسیریاب‌های ۸ , ۹ , ۱۰, ۱٤, ۱۵, ۱٦, ۲۰ ,۲۱

22- Ejection
23- Injection



شکل ۱۰: نرخ ارسال فلیت در مسیریاب‌های شبکه

۲۲, است. باتوجه به شکل (۱۱)، این مسیریاب‌ها یک مربع ۳×۳ را تشـــکیل می‌دهند که چپ ترین گوشه آن در بالا و همچنین راست‌ترین گوشـــه آن در پایین، به ترتیب دارای مختصات (۱,۲) و(۳,٤) می‌باشند.

این مربع که تقریباً در وســـط شبکه واقع شده است، به ناحیه داغ۲٤ موسوم است. در این ناحیه، مسیریاب‌هایی که با رنگ قرمز تیره‌تر نشان داده شده‌اند دارای نرخ دریافت بالاتری هستند.

در شـــکل (۱۰) نیز، نرخ‌های ارســـال فلیـــت برای هر مسیریاب نشان داده شده اســـت. مشاهده می‌شود که در ارسال، داغ‌ترین ناحیه یک مســـتطیل ۲×۳ است که گوشه بالا ســـمت چپ و همچنین گوشه پایین سمت راست آن به ترتیب دارای مختصات (۱,۳) و (۳,٤) می‌باشند. بدین‌ترتیب، بیشـــترین نرخ ارســـال مجتمع مربوط به مسیریاب‌های ۹ ,۱۰, ۱۵ ,۱٦, ۲۱, ۲۲ می‌باشد که در شکل (۱۲) نشان داده شده‌اند.

24- Hot Spot

0	1	2	3	4	5
6	7	8	9	10	11
12	13	14	15	16	17
18	19	20	21	22	23
24	25	26	27	28	29
30	31	32	33	34	35

شکل ۱۱: ناحیه داغ در دریافت فلیت

0	1	2	3	4	5
6	7	8	9	10	11
12	13	14	15	16	17
18	19	20	21	22	23
24	25	26	27	28	29
30	31	32	33	34	35

شکل ۱۲: ناحیه داغ در ارسال فلیت

علاوه بر نتایج توزیع دما برای الگوریتم مسیریابی XY، الگوریتم مسیریابی کمربندی و الگوریتم مسیریابی West-YX و بـــه ازای چهار الگوی ترافیکی Transpose، Uniform و Shuffle و هم‌چنین به ازای الگوی ترافیک واقعی SPARSE مورد ارزیابی قرار گرفته اســـت. نتایج بررســـی ما نشان داد در مســـیریابی XY بسته‌ها قادرند از مسیری که در کل خنک‌تر است و نقاط داغ کمتری دارد، مسیریابی شوند. به دلیل کاهش میزان ورود بسته‌ها به ناحیهٔ داغ در الگوریتم XY، بیشینهٔ دمای و نقاط داغ شبکه کاهش یافته است.

۷- نتیجه‌گیری

در ایـــن مقاله، در آغاز به تفصیل کارهای پیشـــین در رابطه‌هـــای مدل‌های اشـــکال به‌صورت کلـــی و مدل‌های ســـالمندی به‌صـــورت جزئـــی و همچنیـــن الگوریتم‌های مسیریابی ارائه شده توسط آن‌ها را بررسی کردیم. سپس یک فرضیه کمک‌کننده به ارائه مدل سالمندی کارآمد ارائه نموده و آن را به اثبات رساندیم. نتایج شبیه‌سازی‌ها حاکی از آن بود که برای یک شـــبکه توری ٦×٦ در هر دو حالت

ارســـال و دریافت فلیت، ناحیـــه داغ در مربع درونی ٤×٤ شبکه واقع می‌شـــود. این ناحیه، در برگیرنده مسیریاب‌ها و پیوندها با بیشـــترین نرخ ارسال و دریافت و به عبارتی مستعدترین نسبت به خطای سالمندی است.

مراجع

1. R. Parikh and V.Bertacco. “uDIREC: unified diagnosis and reconfiguration for frugal bypass of NoC faults.” Proceedings of the 46th Annual IEEE/ACM International Symposium on Microarchitecture. Los Alamitos, USA, Vol.1, December 2013, pp.148-159.
2. H.Kim, A.Vitkovskiy, P.V.Gratz, and V.Soteriou.» Use it or lose it: wear-out and lifetime in future chip multiprocessors.» In Proceedings of the 46th Annual IEEE/ACM International Symposium on Microarchitecture (MICRO-46). Association for Computing Machinery, New York, USA, December 2013, pp.136–147.
3. D.Lee , R.Parikh, and V.Bertacco. “Brisk and limited-impact NoC routing reconfiguration.” Design, Automation and Test in Europe Conference and Exhibition (DATE), No.306, March 2014, pp.1-6.
4. A.M. Rahmani, K.Latif, K.R.Vaddina, P.Liljeberg,J. Plosila, H.Tenhunen “Congestion aware, fault tolerant, and thermally efficient inter-layer communication scheme for hybrid NoC-bus 3D architectures.” Proceedings of the Fifth ACM/IEEE International Symposium on Networks-on-Chip, New York, USA, May 2011, pp.65-72.
5. Dally, William James, and Brian Patrick Towles. Principles and practices of interconnection networks. Elsevier, 2004.
6. R. Parikh, and V.Bertacco. “LinkMiser: Resource Conscious Routing and Reconfiguration in Faulty On-Chip Networks.”, International Workshop on Logic and Synthesis (IWLS), Berkeley, June 2012.
7. D.M.Ancajas,J.M. Nickerson, K. Chakraborty, S. Roy. “HCI-Tolerant NoC router microarchitecture.” In Proceedings of the 50th Annual Design Automation Conference (DAC), No.40, May 2013, pp.1-10.
8. K.Bhardwaj, K.Chakraborty, and S.Roy. “An MILP-based aging-aware routing algorithm for NoCs.” Proceedings of the Conference on Design, Automation and Test in Europe. EDA Consortium, March 2012, pp. 326–331.
9. F. Chaix, D. Avresky, N.-E. Zergainoh and M. Nicolaidis, “A fault-tolerant deadlock-free adaptive routing for on chip interconnects”, Proc. Design Autom. Test Europe Conf. Exhibit. (DATE), Grenoble, France, March 2011, pp. 1-4.
10. L. Wang, X.Wang, T. Mak. “Dynamic programming-based lifetime aware adaptive routing algorithm for Network-on-Chip.” In 2014 22nd International Conference on Very Large-Scale Integration (VLSI-SoC), Mexico, Vol.464, October 2014, pp.1-6.

۱۱. نعیمه باقری راد وجواد بهنامیان. «انتخاب تأمین‌کننده با استفاده از رویکرد ترکیبی ANP-DEMATEL-VIKOR فازی»، نشریه مدل‌سازی در مهندسی، دوره ۱۸، شماره ۶۰، بهار ۱۳۹۹.

۱۲. محمد علی بهشـــتی‌نیا و جلیل وزیری. «مدل‌سازی فرآیند افزایش کیفیت خدمات با استفاده از روش‌های QFD ،AHP و مسئله کوله‌پشتی با رویکرد فازی (مطالعه موردی: خدمات پلیس)»، نشـــریه مدل‌ســـازی در مهندسی، دوره ۱۵، شماره ۵۱، زمستان ۱۳۹۶، صفحه ۶۷-۸۴.

۱۳. شمس‌الدین ناظمی، مصطفی کاظمی وامیرحسین اخروی. «ارائه مدل تلفیق شـــکاف عملکردی با AHP گروهی‌فازی برای تعیین اولویت‌های بهبود»، نشریه مدل‌سازی در مهندسی، دوره۹، شماره ۲۷، زمستان ۱۳۹۰،صفحه ۱-۱۲.