

تاریخ دریافت مقاله: ۹۷/۰۸/۰۸

تاریخ پذیرش مقاله: ۹۸/۰۵/۱۹

تحلیل و بهبود قابلیت اطمینان فلیپ‌فلاپ‌های پالس‌دار با در نظر گرفتن تغییرات ساخت و سالمندی ترانزیستورها

رضا محمودی

دانشجوی کارشناسی ارشد دانشکده مهندسی برق و کامپیوتر - دانشگاه شیراز - شیراز - ایران
پست الکترونیکی: r.mahmoudi@cse.shirazu.ac.ir

محسن راجی*

استادیار دانشکده مهندسی برق و کامپیوتر - دانشگاه شیراز - شیراز - ایران
پست الکترونیکی: mraji@shirazu.ac.ir

چکیده:

است. نتایج شبیه‌سازی‌ها نشان می‌دهد که قابلیت اطمینان این فلیپ‌فلاپ‌ها برای ۳۰٪ تغییرات ساخت و پس از ۶ سال در بهترین حالت به ۰/۵۰ و در بدترین حالت به ۰/۱۸ خواهد رسید. سپس، به منظور بهبود قابلیت اطمینان این فلیپ‌فلاپ‌ها، روش تخصیص ولتاژ آستانه دوگانه پیشنهاد شده است. به این ترتیب که پس از تحلیل‌های انجام شده، با تشخیص ترانزیستورهای حساس به تغییرات، به این ترانزیستورها ولتاژ آستانه بالاتر تخصیص داده می‌شود و به این صورت، قابلیت اطمینان آن‌ها را در برابر اثرات انواع تغییرات افزایش می‌دهیم. نتایج به دست آمده نشان می‌دهند که با اعمال این روش، در ازای تنها ۸٪ سربار در توان نشتی، قابلیت اطمینان این فلیپ‌فلاپ‌ها به طور میانگین تا ۴۰٪ بهبود داده می‌شود.

واژه‌های کلیدی: قابلیت اطمینان مدارهای رقمی، فلیپ‌فلاپ‌های پالس‌دار، تغییرات ساخت، سالمندی ترانزیستور، ناپایداری دمایی ناشی از بیاس.

از جمله مهم‌ترین اجزای مدارهای رقمی با کارایی بالا فلیپ‌فلاپ‌های پالس‌دار هستند. عملکرد نادرست این واحدها باعث کاهش قابلیت اطمینان این مدارهای پرکاربرد در عرصه صنعت می‌گردد. همراه با پیشرفت فناوری ساخت مدارهای مجتمع، انواع تغییرات اعم از تغییرات ناشی از فرآیند ساخت و تغییرات ناشی از سالمندی ترانزیستورها (به‌طور خاص ناپایداری دمایی ناشی از بیاس^۱) باعث افزایش نرخ خرابی در مدارهای رقمی شده و در نتیجه، منجر به کاهش قابلیت اطمینان این مدارها می‌گردد. در این مقاله، با استفاده از آزمایش‌های گسترده مونت کارلو و نرم افزار شبیه ساز HSPICE، قابلیت اطمینان چندین فلیپ‌فلاپ پالس‌دار با در نظر گرفتن اثرات تغییرات ساخت و تغییرات ناشی از سالمندی ترانزیستورها مورد بررسی قرار گرفته

* نویسنده مسئول

1- Bias Temperature Instability

پیشرفت فناوری ساخت مدارهای مجتمع دیجیتال، در کنار مزایایی مانند افزایش پالس ساعت، منجر به بروز مشکلاتی در این مدارها شده است. رسیدن ابعاد ترانزیستورها به نانومتر باعث شده تا منابع مختلفی از تغییرات در این مدارها عملکرد آنها را به شدت تحت تاثیر خود قرار دهد. تغییرات ساخت، دما و ولتاژ^[۱] (PVT) و تغییرات ناشی از سالمندی^[۲] مدارها جمله منابع اصلی تغییرات محسوب می‌شوند. این تغییرات باعث شده تا مابین عملکرد مدار در زمان طراحی، بعد از ساخت و بعد از مدتی که از بهره برداری مدار گذشت، عدم تطابق قابل توجهی ایجاد شود که طبعاً منجر به مشکلاتی در حوزه قابلیت اطمینان این مدارها خواهد شد. به دلیل کاستی‌هایی در زمینه ابزار ساخت مدارهای مجتمع امروزی و همچنین محدودیت‌های فیزیکی در ابعاد نانومتر، منابع تغییرات ساخت مانند ناهمواری‌های لبه خط^[۳،۴] و بار رسیدن به ابعاد نانومتر به‌طور فزاینده‌ای مهم شده‌اند؛ از سوی دیگر، مشکلاتی مانند ناپایداری دمایی ناشی از بایاس (BTI) از جمله منابع اصلی سالمندی ترانزیستورها شمرده می‌شوند^[۵] که باعث می‌شود تا بعد از گذشت زمانی از بهره برداری مدار، ولتاژ آستانه ترانزیستورها افزایش یافته و در نتیجه تاخیر مدارها با تغییرات مواجه گردد. ناپایداری دمایی ناشی از بایاس منفی (NBTI) مهم‌ترین مشکل قابلیت اطمینان فناوری‌های کوچک‌تر از ۱۳۰ نانومتر برای ترانزیستورهای PMOS شده است. اثر اصلی ناپایداری دمایی ناشی از بایاس منفی ولتاژ آستانه ترانزیستور در طول زمان، در نتیجه افزایش تاخیر مدار می‌باشد. اثر ناپایداری دمایی ناشی از بایاس مثبت (PBTI) در ترانزیستورهای NMOS نیز به‌طور چشمگیری افزایش داشته است^[۶،۷]. اگر چه اثرات ناپایداری دمایی ناشی از بایاس مثبت خیلی کمتر از ناپایداری دمایی ناشی از بایاس منفی هست^[۸] ولی افزایش آن به نوبه خود دارای اثرات منفی بر قابلیت اطمینان مدار است. در ادامه این مقاله،

به مجموع اثرات ناپایداری دمایی ناشی از بایاس منفی و ناپایداری دمایی ناشی از بایاس مثبت، ناپایداری دمایی ناشی از بایاس می‌گوییم.

فلیپ‌فلاپ‌های پالس‌دار^۲ از جمله فلیپ‌فلاپ‌های پرکاربرد در مدارهای با کارآیی بالا هستند. [۶] عملکرد صحیح فلیپ‌فلاپ‌ها نقش تعیین کننده‌ای در عملکرد درست مدارهای رقمی دارد چرا که مسئول ذخیره حالت سیستم و پیگیری پیشرفت همگام کار سیستم با پالس ساعت در طبقات مختلف مدار هستند. بنابراین، قابلیت اطمینان کل طراحی به‌طور قابل توجهی وابسته به عملکرد صحیح فلیپ‌فلاپ‌ها خواهد بود. تحلیل‌های اندکی به ارزیابی عملکرد صحیح طراحی مختلف فلیپ‌فلاپ‌ها با در نظر گرفتن اثرات تغییرات ساخت و سالمندی پرداخته‌اند که البته هر کدام با کمبودها و نقاط ضعفی در این زمینه مواجه هستند. در [۷] روش‌هایی برای کاهش اثرات ناپایداری دمایی ناشی از بایاس مانند استفاده از ولتاژ آستانه دوگانه برای فلیپ‌فلاپ‌ها معرفی شده است. در [۵] بررسی جامعی از تاثیر ناپایداری دمایی ناشی از بایاس و تخریب حامل داغ (HCI) بر پنج نوع فلیپ‌فلاپ ایستا ارائه شده است. در [۹] اثرات منابع مختلف تغییرات (تغییرات ساخت و سالمندی) بر کارایی دو نوع فلیپ‌فلاپ بررسی شده است. در این کار نشان داده شد که فلیپ‌فلاپ‌ها اثرپذیری زیادی از این منابع تغییرات دارند. در ادامه نیز رویکردی جهت کاهش این اثرات، با اضافه کردن سربرار توان و مساحت ارایه شده است. در [۱۰] تاثیرات تغییرات ساخت روی تاخیر برای چهار نوع فلیپ‌فلاپ شامل دو فلیپ‌فلاپ از توپولوژی پایه-پیرو و دو فلیپ‌فلاپ از توپولوژی پالس‌دار بررسی شده است. در [۱۱] برای کاهش اثرات ناپایداری دمایی ناشی از بایاس منفی در فلیپ‌فلاپ، دو روش به نام‌های FGR و SBFF ارائه شده است. در روش FGR مسیرهایی که تحت فشار بیشتری هستند، دارای مسیری جایگزین هستند که این دو مسیر به‌صورت متناوب تغییر می‌کنند. روش SBFF از ماندن بیش از حد یک ترانزیستور در

شرایط فشار جلوگیری می‌کند. با این وجود، در کارهای فوق اثرات ناپایداری دمایی ناشی از بایاس مثبت یا تغییرات ساخت به صورت توام در نظر گرفته نشده است. در [۱۲] اثرات ناپایداری دمایی ناشی از بایاس برای تعدادی فلیپ‌فلاپ بررسی شده است. در این مقاله، اثرات ناپایداری دمایی ناشی از بایاس را بر فلیپ‌فلاپ‌های مبتنی بر ترانزیستورهای اثر میدان فلز-اکسید-نیمه‌هادی (MOSFET) و فلیپ‌فلاپ‌های مبتنی بر ترانزیستورهای اثر میدان فین (FinFET) بررسی شده است. نتایج به دست آمده نشان می‌دهد ناپایداری دمایی ناشی از بایاس مثبت به حد قابل توجهی در عملکرد زمانی فلیپ‌فلاپ‌ها تاثیرگذار است. در این کار قابلیت اطمینان فلیپ‌فلاپ‌ها ارائه نشده است. همچنین در این کار اثرات ترکیبی تغییرات ساخت و سالمندی با هم در نظر گرفته نشده است.

تخصیص ولتاژ آستانه دوگانه روشی رایج برای طراحی سیستم‌هایی با توان مصرفی پایین می‌باشد [۸]. ایجاد ولتاژ آستانه دوگانه هنگام ساخت به راحتی با اضافه کردن لایه ماسک امکان‌پذیر می‌باشد. ازین روش می‌توان برای کاهش اثر تغییرات ساخت و سالمندی ترانزیستورها تخصیص ولتاژ آستانه دوگانه استفاده کرد. در [۷] این روش را برای مقابله با اثرات سالمندی ارائه کرده است ولی در این کار فقط اثرات ناپایداری دمایی ناشی از بایاس در نظر گرفته شده است و اثرات تغییرات ساخت را لحاظ ننموده است.

در این مقاله، ابتدا با ارائه یک تحلیل مقایسه‌ای، عملکرد چندین فلیپ‌فلاپ پالس‌دار پرکاربرد در مدارهای با کارایی بالا با در نظر گرفتن همزمان اثرات تغییرات ساخت و ناپایداری دمایی ناشی از بایاس و تزریق حامل داغ مورد بررسی و تحلیل قرار گرفته است. به این منظور، از یک سو، تغییرات ساخت روی طول و عرض کانال ترانزیستورها در نظر گرفته شده و از سوی دیگر، سالمندی ترانزیستورها به صورت تغییر ولتاژ آستانه ترانزیستورها در فلیپ‌فلاپ‌ها لحاظ شده است. اثر این

دو دسته تغییرات در عملکرد صحیح زمانی فلیپ‌فلاپ‌های پالس‌دار به عنوان دسته بسیار مهم و پرکاربرد در مدارهای با کارایی بالا مورد مطالعه قرار گرفته است. نتایج به دست آمده نشان می‌دهد که سالمندی و تغییرات ساخت باعث افزایش تاخیر فلیپ-فلاپ از ۵ درصد تا حدود ۴۰ درصد می‌شود. ارزیابی قابلیت اطمینان این فلیپ‌فلاپ‌ها نشان می‌دهد که نرخ خرابی این فلیپ‌فلاپ‌ها به طور میانگین ۷۱ درصد می‌باشد. به طور مثال HLFF بعد از گذشت ۶ سال و تغییرات ساخت ۳۰٪ دچار ۸۰ درصد خرابی می‌شود. به منظور بهبود قابلیت اطمینان این فلیپ‌فلاپ‌ها، از روش تخصیص ولتاژ آستانه دوگانه استفاده شده است. به این ترتیب که پس از تحلیل‌های انجام شده، با تشخیص ترانزیستورهای حساس به تغییرات، به این ترانزیستورها ولتاژ آستانه بالاتر تخصیص داده می‌شود. به این ترتیب، با کاهش فشار میدان الکتریکی بر اکسید، تحمل‌پذیری در برابر اثرات انواع تغییرات بهبود داده می‌شود و در نتیجه، قابلیت اطمینان آن‌ها را در برابر این اثرات افزایش می‌دهیم. نتایج به دست آمده نشان می‌دهند که با اعمال این روش، به طور میانگین در ازای ۸٪ سربار در توان نشستی، قابلیت اطمینان این فلیپ‌فلاپ‌ها تا ۴۰٪ بهبود داده می‌شود.

ادامه این مقاله به این صورت سازماندهی شده است: در بخش ۲ مواردی در مورد رویکردی که برای تحلیل مورد استفاده قرار گرفته، اعم از معرفی ساختارهای مختلف فلیپ‌فلاپ‌هایی که مورد مطالعه قرار گرفته‌اند، مدل خرابی، مدل تغییرات و مدل سالمندی لحاظ شده، و روال کلی تحلیل ارائه می‌شود. در بخش ۳ نحوه انجام آزمایش و نتایج به دست آمده ارائه می‌شود و در بخش ۴ روش استفاده از ولتاژ آستانه دوگانه شرح داده می‌شود. در بخش ۵ به نتیجه‌گیری کارهای انجام شده و پیشنهادهایی در مورد کارهای آینده می‌پردازیم.

۲- روشگان تحلیل

در این بخش ابتدا ساختارهای مختلف و سپس

معیارهای اندازه‌گیری تاخیر فلیپ‌فلاپ معرفی می‌شوند. در ادامه مدل‌های خرابی و تعییرات ساخت بیان می‌شوند.

۱-۲- معرفی ساختارهای فلیپ‌فلاپ‌ها

فلیپ‌فلاپ‌ها عناصر اصلی ذخیره داده هستند. فلیپ‌فلاپ‌ها را می‌توان به دو دسته اصلی تقسیم کرد: فلیپ‌فلاپ‌های پایه-پیرو^۴ (MS) و فلیپ‌فلاپ‌های پالس‌دار (PG). فلیپ‌فلاپ‌های پالس‌دار از جمله فلیپ‌فلاپ‌های پر کاربرد در مدارهای رقمی با کارآیی بالا به شمار می‌روند. این فلیپ‌فلاپ‌ها دارای مداری ساده‌تر و سریع‌تر از فلیپ‌فلاپ‌های پایه-پیرو هستند. این دسته از فلیپ‌فلاپ‌ها خود به دو دسته پالس‌دار صریح و پالس‌دار ضمنی تقسیم می‌شوند که در [۱۳] به‌طور کامل شرح داده شده‌اند. از فلیپ‌فلاپ‌های رایج این دسته می‌توان به فلیپ‌فلاپ‌های زیر اشاره کرد:

• Hybrid-latch FF شکل (۱-الف)

• Semi-dynamic FF شکل (۱-ب)

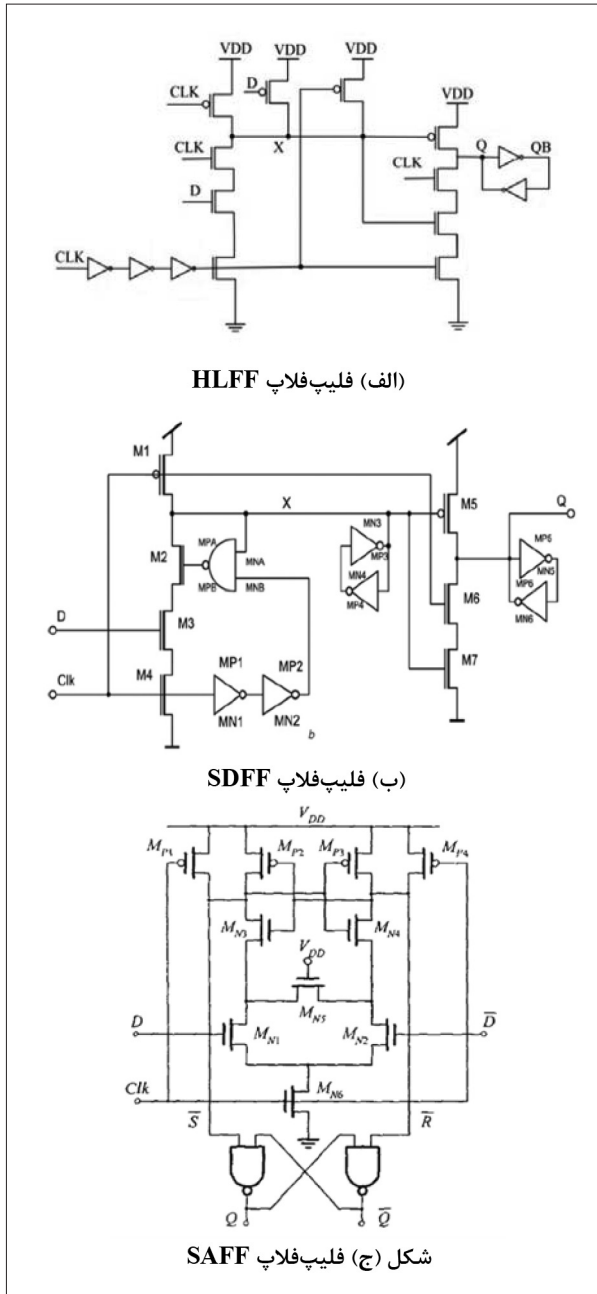
• Sense Amplifier FF شکل (۱-ج)

۲-۲- مدل خرابی

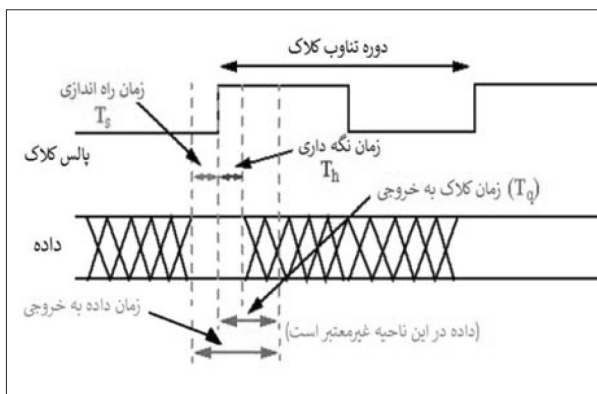
یک فلیپ‌فلاپ دارای پارامترهای زمانی مختلفی است که به‌صورت زیر قابل تعریف هستند [۱۴]:

- زمان راه‌اندازی: مدت زمانی که داده باید قبل از لبه پالس ساعت ثابت بماند تا داده بتواند ذخیره شود.
- زمان نگه‌داری: مدت زمانی داده باید بعد از لبه پالس ساعت ثابت بماند تا داده به درستی ذخیره شود. معمولاً زمان نگه‌داری خیلی کوچک می‌باشد و قابل اغماض است [۱۵] و ما نیز در این بررسی این پارامتر را در نظر نمی‌گیریم.

- زمان پالس ساعت به خروجی: مدت زمانی از لبه پالس ساعت طول می‌کشد تا داده به خروجی منتقل شود.
- زمان داده به خروجی: مدت زمانی که طول می‌کشد داده از ورودی به خروجی منتقل شود. معمولاً این مقدار را به‌عنوان تاخیر فلیپ‌فلاپ در نظر می‌گیرند. هر فلیپ‌فلاپ



شکل ۱: انواع فلیپ‌فلاپ‌های پالس‌دار



شکل (۲) ویژگی‌های زمانی مختلف یک فلیپ‌فلاپ را نشان می‌دهد.

4- Master-Slave FF

جدول ۱: تاخیر حالت اسمی فلیپ‌فلاپ‌ها

فلیپ‌فلاپ	تأخیر (پیکوثانیه)
HLFF	۴۸/۹
SAFF	۱۶۷
SDFF	۵۴/۸

۲-۴- مدل سالمندی ترانزیستور

مدل کاهش-انتشار^۵ یک مدل دقیق برای پیش بینی تولید و بهبود interface trap ها ارایه می‌کند [۲۰]. در [۵، ۲۱] مدل ساده شده کاهش-انتشار برای محاسبه تغییرات ولتاژ آستانه برای درازمدت ارایه شده است که در این مقاله، از همین مدل‌های دراز مدت برای در نظر گرفتن اثر ناپایداری دمایی ناشی از بایاس در بروز تغییرات ولتاژ آستانه استفاده شده است.

۲-۴-۱- مدل درازمدت ناپایداری دمایی ناشی از بایاس

اثرات ناپایداری دمایی ناشی از بایاس بر تغییرات ولتاژ آستانه درازمدت به صورت زیر مدل می‌شود [۵ و ۲۱]:

$$\Delta V_{th_{total}} = \Delta V_{th_{pv}} + \Delta V_{th_{ag}} \quad (3)$$

که در آن پارامتر وابسته به فناوری، t زمان، n ضریب دمایی زمان ناپایداری دمایی ناشی از بایاس و TSP احتمال تحت فشار بودن ترانزیستور می‌باشد. TSP تابعی از احتمال سیگنال ورودی هاست که شرایط فشار ترانزیستور را مشخص می‌کند. منظور از شرایط فشار ترانزیستور، احتمال روشن بودن آن است؛ یعنی برای یک ترانزیستور NMOS احتمال این که ورودی دروازه آن برابر یک منطقی باشد، نشان‌دهنده میزان تحت فشار بودن آن ترانزیستور می‌باشد.

۲-۵- روال کلی تحلیل

ابتدا تاخیر هر فلیپ‌فلاپ با توجه به ولتاژ آستانه نامی آن محاسبه شده است. سپس با استفاده از مدل ارائه شده در بخش ۲-۴، تغییرات ولتاژ آستانه برای هر ترانزیستور هر فلیپ‌فلاپ با در نظر گرفتن اثرات ناپایداری دمایی ناشی

دو مسیر داخلی برای شارژ و دشارژ خازن بار دارد: یک مسیر برای انتقال داده «۰» به خروجی و مسیر دیگر برای انتقال داده «۱» به خروجی. در [۱۶] نشان داده شده است که الزاماً تاخیر این دو مسیر نباید یکی باشد. تاخیر فلیپ‌فلاپ را بیشینه تاخیر دو مسیر فوق در نظر می‌گیرند [۱۷].

اگر زمان راه‌اندازی به مقدار کافی بزرگ باشد، مقدار زمان پالس ساعت به خروجی تقریباً ثابت می‌ماند که این را کمترین زمان پالس ساعت به خروجی می‌نامیم. با کاهش زمان راه‌اندازی مقدار زمان پالس ساعت به خروجی افزایش می‌یابد تا جایی که فلیپ‌فلاپ قادر به ذخیره داده نباشد [۱۴].

مقدار بهینه زمان راه‌اندازی مقداری است که باعث افزایش ده درصدی کمترین زمان پالس ساعت به خروجی شود [۱۸].

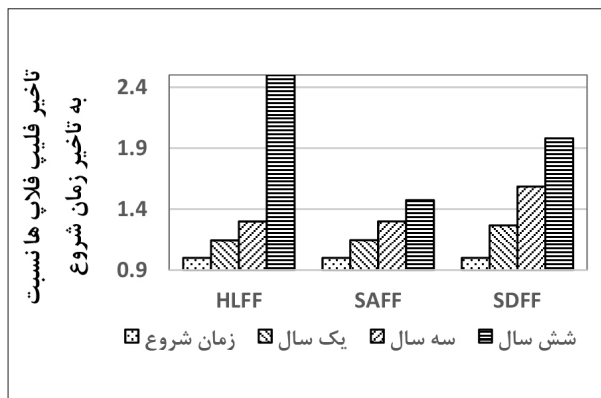
خرابی یک فلیپ‌فلاپ به این صورت بیان می‌شود: وقتی که تاخیر حاصل از تغییرات ساخت و سالمندی، بیش از X درصد افزایش نسبت به حالت اسمی آن داشته باشد؛ یعنی تاخیر آن $(X+1)$ برابر حالت اسمی آن شود. این مقدار برای فناوری ۱۶ نانومتر برابر 0.5 (۵۰ درصد) در نظر گرفته می‌شود.

۲-۳- مدل تغییرات ساخت

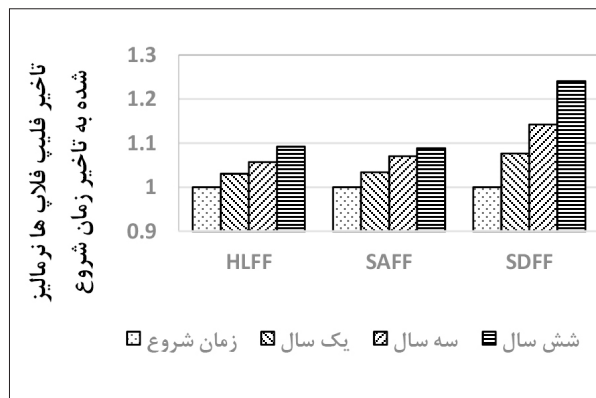
عوامل زیادی از جمله ناهمواری‌های لبه خط، تغییرات تصادفی غلظت ناخالصی و نوسانات ضخامت لایه اکسید منشأ تغییرات ساخت هستند که با پیشرفت فناوری و کوچک‌تر شدن اندازه ترانزیستورها بیشتر می‌شوند. نتایج شبیه‌سازی‌ها و آزمایش‌ها نشان می‌دهد که انحراف معیار تغییرات ولتاژ آستانه (σ_{Vth}) تحت تاثیر تغییرات ساخت، با اندازه ترانزیستور متناسب است: [۱۹]:

$$\sigma_{Vth} \propto \frac{1}{\sqrt{L_{eff}W_{eff}}} \quad (1)$$

که L_{eff} و W_{eff} به ترتیب طول و عرض موثر ترانزیستور می‌باشد.



شکل ۴: اثرات ناپایداری دمایی ناشی از بایاس بر تاخیر فلیپ‌فلاپ‌ها



شکل ۳: اثرات ناپایداری دمایی ناشی از بایاس منفی بر تاخیر فلیپ‌فلاپ‌ها

کار را نشان می‌دهد. فرکانس پالس ساعت ۵۰۰ مگاهرتز و فرکانس تغییر داده ۱۶۶ مگاهرتز می‌باشد.

۳-۱- اثرات ناپایداری دمایی ناشی از بایاس منفی و مثبت بر تاخیر فلیپ‌فلاپ‌ها

تغییرات تاخیر فلیپ‌فلاپ‌ها بر اثر سالمندی مورد بررسی قرار گرفته است. شکل (۳) افزایش تاخیر ناشی از ناپایداری دمایی ناشی از بایاس منفی به تنهایی نشان می‌دهد و شکل (۴) اثر ناپایداری دمایی ناشی از بایاس (ناپایداری دمایی ناشی از بایاس منفی و مثبت) را بر افزایش تاخیر انواع فلیپ‌فلاپ‌ها نمایش می‌دهد.

هر دو نمودار نسبت به حالت ابتدای شروع به کار نرمالیزه شده‌اند. همان‌طور که مشاهده می‌شود تاخیر شکل (۴) در همه حالت‌ها (یک سال، سه سال، و شش سال) از شکل (۳) بیشتر است که نشان‌دهنده آن است که ناپایداری دمایی ناشی از بایاس تأثیر بیشتری در تاخیر مدار دارد و دیگر نباید از ناپایداری دمایی ناشی از بایاس مثبت در تحلیل اثرات سالمندی بر عملکرد ترانزیستورها چشم‌پوشی نمود.

در شکل (۴) مشاهده می‌شود که HLFF بعد از گذشت ۶ سال دچار خرابی شده است و به همین دلیل، در نمودار به صورت هاشور نشان داده شده است.

۳-۲- اثرات ناپایداری دمایی ناشی از بایاس و تغییرات ساخت بر تاخیر

از بایاس بر روی ترانزیستورهای MOS به دست آورده شده است. سپس تغییرات ولتاژ آستانه با توجه به تغییرات ساخت با استفاده از مدل ارائه شده در بخش ۲-۳ محاسبه شده است و پس از آن، با استفاده از فرمول (۳) تغییرات ولتاژ آستانه کلی محاسبه و ولتاژ آستانه جدید محاسبه شده است:

$$\Delta V_{th_{total}} = \Delta V_{th_{pv}} + \Delta V_{th_{ag}} \quad (3)$$

که $\Delta V_{th_{pv}}$ تغییرات ولتاژ آستانه به دلیل تغییرات ساخت و $\Delta V_{th_{ag}}$ تغییرات ولتاژ آستانه به دلیل سالمندی می‌باشد. در نهایت، مجموع این تغییرات به ولتاژ آستانه نامی اضافه شده و تاخیر جدید محاسبه شده است. همچنین، اثرات دما و ولتاژ تغذیه بر سالمندی بررسی شده است.

۳- نتایج شبیه‌سازی‌ها و تحلیل

برای انجام شبیه‌سازی‌ها از فناوری ۱۶ نانومتر کتابخانه PTM [۲۲] استفاده شده است و آزمایش‌ها در دمای ۲۵ درجه سانتی‌گراد و ولتاژ تغذیه ۰/۹ ولت صورت گرفته‌اند. شبیه‌سازی‌ها در نرم‌افزار HSPICE که بر اساس مدل‌های واقعی از ترانزیستورها عمل می‌کند، صورت گرفته است. همچنین آزمایش‌های گسترده مونت کارلو خطای شبیه‌سازی نسبت به ارزیابی‌های واقعی را بسیار کم می‌کند.

جدول (۱) مقادیر تاخیر فلیپ‌های مختلف در ابتدای

جدول ۲: نرخ خرابی فلیپ فلاپ‌های پالس دار مختلف در حضور تغییرات ساخت و سالمندی

	۱۰ درصد تغییرات ساخت			۲۰ درصد تغییرات ساخت			۳۰ درصد تغییرات ساخت		
	سال ۱	سال ۳	سال ۶	سال ۱	سال ۳	سال ۶	سال ۱	سال ۳	سال ۶
HLFF	%۳۹	%۵۲	%۶۴	%۳۸	%۵۱	%۶۲	%۴۱	%۵۲	%۶۳
SAFF	%۲۸	%۴۲	%۵۳	%۲۸	%۴۲	%۵۷	%۲۹	%۴۳	%۵۸
SDFF	%۹۷	%۹۶	%۹۸	%۹۷	%۹۶	%۹۹	%۹۸	%۹۸	%۱۰۰

جدول ۳: قابلیت اطمینان فلیپ فلاپ‌های پالس دار مختلف در دما ۸۰ درجه سانتی‌گراد

	۱۰ درصد تغییرات ساخت			۲۰ درصد تغییرات ساخت			۳۰ درصد تغییرات ساخت		
	سال ۱	سال ۳	سال ۶	سال ۱	سال ۳	سال ۶	سال ۱	سال ۳	سال ۶
HLFF	۰/۱۰	۰/۱۱	۰/۱۰	۰/۹	۰/۹	۰/۱۱	۰/۱۲	۰/۱۲	۰/۱۱
SAFF	۰/۸	۰/۱۱	۰/۱۱	۰/۷	۰/۹	۰/۱۱	۰/۹	۰/۱۰	۰/۱۰
SDFF	۰/۱۳	۰/۱۳	۰/۱۱	۰/۱۴	۰/۱۴	۰/۱۳	۰/۱۷	۰/۱۶	۰/۱۴

در این بخش اثرات همزمان ناپایداری دمایی ناشی از بایاس و تغییرات ساخت بر روی عملکرد فلیپ‌فلاپ‌ها بررسی شده و طبق فرمول (۴) نرخ خرابی (FR) برای هر کدام از فلیپ‌فلاپ‌ها محاسبه گردیده است:

$$FR = \frac{N_F(t)}{N_{Total}} \times 100 \quad (4)$$

که در آن $N_F(t)$ تعداد نمونه‌های خراب شده و N_{Total} تعداد کل نمونه‌ها می‌باشد. در جدول (۲) نرخ خرابی برای هر کدام از فلیپ‌فلاپ‌ها با درصد تغییرات ساخت مختلف (۱۰٪، ۲۰٪ و ۳۰٪ تغییرات ساخت) و همچنین برای سال‌های مختلف از کارکرد فلیپ‌فلاپ (۱ سال، ۳ سال و ۶ سال) آورده شده است. هر دو نمودار نسبت به حالت ابتدای شروع به کار نرمالیزه شده‌اند. همان‌طور که مشاهده می‌شود تاخیر شکل (۴) در همه حالت‌ها (یک سال، سه سال، و شش سال) از شکل (۳) بیشتر است که نشان‌دهنده آن است که ناپایداری دمایی ناشی از بایاس تاثیر بیشتری در تاخیر مدار دارد و نباید از ناپایداری دمایی ناشی از بایاس مثبت در تحلیل اثرات فرسودگی بر

عملکرد ترانزیستورها چشم پوشی نمود.

بعضی از فلیپ‌فلاپ‌های این دسته مانند SDFF که اینجا نرخ خرابی بالایی دارند، هم به تغییرات ساخت و هم سالمندی بسیار حساس بوده و نیازمند بازطراحی در ساختار و اعمال روش‌هایی برای مقابله با سالمندی دارند.

۳-۳- اثرات دما بر قابلیت اطمینان

نتایج شبیه‌سازی‌های قسمت قبل، در دمای ۲۵ درجه سانتی‌گراد بوده است. در این قسمت آزمایش‌هایی در دمای ۸۰ درجه سانتی‌گراد انجام گرفته است تا اثر تغییرات دما بر روی عملکرد فلیپ‌فلاپ‌ها مورد بررسی قرار گیرد. نتایج مربوط به دمای ۸۰ درجه سانتی‌گراد در جدول (۳) آورده شده است.

در دمای ۱۵۰ درجه سانتی‌گراد، نیز آزمایشی صورت گرفت ولی همه فلیپ‌فلاپ‌ها عملکرد نادرستی از خود نشان می‌دادند و نرخ خرابی آن‌ها نزدیک به ۱۰۰ درصد بود. قابلیت اطمینان فلیپ‌فلاپ‌ها طبق فرمول (۵) محاسبه می‌شود:

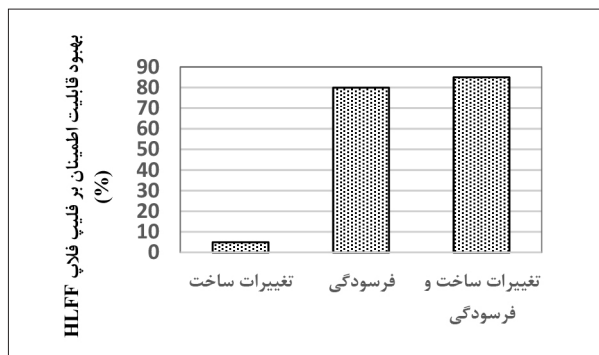
$$R(t) = 1 - \frac{N_F(t)}{N_{Total}} \quad (5)$$

که در آن $N_F(t)$ تعداد نمونه‌های خراب شده و N_{Total} تعداد کل نمونه‌ها و $R(t)$ قابلیت اطمینان فلیپ‌فلاپ را بعد از گذشت زمان t نشان می‌دهد.

همان‌طور که انتظار می‌رود افزایش دما باعث تشدید وقوع ناپایداری دمایی شده و در نتیجه، قابلیت اطمینان فلیپ‌فلاپ‌ها به شدت کاهش می‌یابد.

۳-۴- اثرات ولتاژ تغذیه بر قابلیت اطمینان

تا این قسمت، تمامی آزمایش‌ها با ولتاژ تغذیه ثابت و برابر ۰/۹ بوده است. در این بخش، فلیپ‌فلاپ‌ها با ولتاژ تغذیه‌های دیگر هم شبیه‌سازی شده‌اند تا اثر تغییرات ولتاژ تغذیه بر روی قابلیت اطمینان آن‌ها مورد ارزیابی قرار گیرد. نرخ خرابی طبق فرمول (۴) برای دو ولتاژ تغذیه متفاوت ۰/۸ و ۱ ولت محاسبه شده و در جدول (۴) و (۵) آورده شده است. همان‌طور که مشاهده می‌شود، با



شکل ۶: بهبود قابلیت اطمینان فلیپ فلاپ HLFF در حضور منابع مختلف تغییرات

براساس [۲۳]، تغییرات تاخیر با تغییرات ولتاژ آستانه رابطه خطی دارد، یعنی:

$$\Delta D = k \Delta V_{th} \quad (7)$$

که در آن، $V_{th} \Delta$ نشان دهنده تغییرات ولتاژ آستانه در اثر فرسودگی، ΔD نمایانگر تغییرات تاخیر و ضریب k از رابطه زیر قابل محاسبه است:

$$k = \frac{\alpha D_{gate}}{V_{dd} - V_{th}} \quad (8)$$

مطالعات مختلف نشان داده اند که در ترانزیستورهای که ولتاژ آستانه بالاتر دارند، به دلیل کاهش اندازه میدان الکتریکی روی اکسید، فرسودگی اثر کمتری روی ولتاژ آستانه داشته و در نتیجه، ΔV_{th} برای یک ترانزیستور با ولتاژ آستانه بالا، مقدار کمتری خواهد بود [۲۳]. بنابراین، در اینجا با استفاده از ولتاژ آستانه دوگانه برای مدار، رویکردی به منظور کاهش آسیب پذیری تاخیر فلیپ فلاپ های پالس دار در مقابل اثرات همزمان تغییرات ساخت و فرسودگی ارائه خواهیم داد. در این رویکرد، مدارهای طراحی شده اولیه با انتخاب ولتاژ آستانه بالا برای حالت توان مصرفی پایین طراحی شده اند. با کم کردن ولتاژ آستانه بعضی از ترانزیستورها، ضمن کاهش تاخیر مسیرها، تحمل پذیری فلیپ فلاپ ها در برابر اثرات تغییرات ساخت و فرسودگی ترانزیستورها را بهبود خواهیم داد. انتخاب ترانزیستورهای حساس با شبیه سازی فلیپ فلاپ ها در HSPICE صورت گرفته است بدین صورت که با تحلیل مسیرهای بالابر و پایین بر، ترانزیستورهای حساس به فرسودگی را تعیین و ولتاژ آستانه پایین آن را تغییر داده

جدول ۵: نرخ خرابی فلیپ فلاپ های پالس دار مختلف با ولتاژ تغذیه ۱ ولت

	۱۰ درصد تغییرات ساخت			۲۰ درصد تغییرات ساخت			۳۰ درصد تغییرات ساخت		
	سال ۱	سال ۳	سال ۶	سال ۱	سال ۳	سال ۶	سال ۱	سال ۳	سال ۶
HLFF	%۳۴	%۴۷	%۵۹	%۳۵	%۴۹	%۶۰	%۴۰	%۵۱	%۶۱
SAFF	%۲۵	%۴۰	%۵۰	%۲۸	%۴۲	%۵۴	%۲۵	%۴۱	%۵۷
SDFP	%۹۴	%۹۵	%۹۷	%۹۶	%۹۶	%۹۸	%۹۷	%۹۸	%۱۰۰

کاهش ولتاژ تغذیه، نرخ خرابی افزایش می یابد و در نتیجه، قابلیت اطمینان فلیپ فلاپ ها کاهش پیدا می کند. این در حالی است که با افزایش ولتاژ تغذیه و با مقایسه جدول (۲) و (۵)، مشاهده می شود نرخ خرابی کمتر و قابلیت اطمینان بیشتر شده است. این نتایج موید آن است که افزایش ولتاژ تغذیه که تا پیش از این به عنوان یکی از روش های مقابله با سالمندی به کار می رفته است [۱۶]، با وجود اثرات تغییرات ساخت همچنان موثر خواهد بود. نکته مهم تر این که نتایج به دست آمده نشان می دهد، با وجود تغییرات ساخت همچنان می توان از این روش برای مقابله با اثرات سالمندی بهره برد.

۴- روش تخصیص ولتاژ آستانه دوگانه برای بهبود قابلیت اطمینان فلیپ فلاپ های پالس دار

فرسودگی و تغییرات ساخت باعث تغییرات شدید در تاخیر فلیپ فلاپ ها شده و در نتیجه، عملکرد آن ها را مختل نموده و قابلیت اطمینان را کاهش می دهد. برای استفاده از روش تخصیص ولتاژ آستانه دوگانه ابتدا رابطه بین ولتاژ آستانه و تاخیر را بررسی نموده و سپس به رابطه بین تاخیر و ولتاژ آستانه به صورت زیر قابل بیان است [۲۳]:

$$D = \frac{C_L V_{dd}}{\beta (V_{dd} - V_{th})^\alpha} \quad (6)$$

که در این معادله، C_L نشان دهنده خازن بار، α نشان دهنده سرعت حامل در حالت اشباع، V_{th} نمایانگر مقدار اولیه ولتاژ آستانه و V_{dd} ولتاژ تغذیه را نشان می دهد. همچنین β پارامتری است که به اندازه دروازه بستگی دارد.

شده است.

راست‌ترین ستون جدول آورده شده است. همان‌طور که مشاهده می‌شود سربار روش پیشنهادی کمتر از ۱۰٪ بوده است.

۵- نتایج شبیه‌سازی برای بهبود قابلیت اطمینان

روال تحلیل مانند آنچه در بخش ۳ توضیح داده شد، انجام گرفته است. در ابتدا، اثرات روش ولتاژ آستانه دوگانه بر روی اثرات تغییرات ساخت و فرسودگی به‌صورت جداگانه بررسی شده است. شکل (۶) مقدار قابلیت اطمینان فلیپ‌فلاپ HLFF قبل و بعد از اعمال روش تخصیص ولتاژ آستانه دوگانه در سه حالت مختلف بررسی شده است: ۱) در حضور تغییرات ساخت (۲۰٪)، ۲) در حضور فرسودگی (بعد از ۶ سال)، و ۳) در حضور تغییرات ساخت و فرسودگی به‌صورت توأمان. با توجه به این شکل، زمانی که هر دو تغییر بر روی مدار تاثیر بگذارند، اعمال روش پیشنهادی خواهد توانست نسبت به حالتی که تنها یکی از این تغییرات لحاظ شده‌اند به میزان بیشتری به بهبود قابلیت اطمینان مدار کمک کند. با مقایسه نتایج قابلیت اطمینان مربوط به قبل و بعد از اعمال روش در حالات مختلف مشاهده می‌شود، روش تخصیص ولتاژ آستانه دوگانه قابلیت اطمینان را در حضور اثرات تغییرات ساخت حدود ۵ درصد بهبود می‌دهد درحالی که اعمال این روش بر بهبود قابلیت اطمینان زمانی که هر دو تغییرات با هم بر مدار تاثیر بگذارند تا ۸۵ درصد می‌باشد.

جدول (۶) قابلیت اطمینان فلیپ‌فلاپ‌های مورد نظر بعد از اعمال این روش با در نظر گرفتن ۲۰ درصد تغییرات ساخت به‌عنوان نمونه را نشان می‌دهد. همان‌طور مشاهده می‌شود اعمال این روش باعث افزایش قابلیت اطمینان فلیپ‌فلاپ‌های پالس‌دار می‌شود. هرچه طول عمر فلیپ‌فلاپ بیشتر می‌شود قابلیت اطمینان آن نسبت به حالت قبل از اعمال روش بیشتر می‌شود. برای مثال فلیپ‌فلاپ HLFF بعد از ۱ سال ۲۲، بعد از ۳ سال ۴۷ درصد و بعد از ۶ سال ۸۵ درصد بهبود در قابلیت اطمینان داشته است. ولتاژ آستانه دوگانه به‌صورتی که ذکر شد، باعث افزایش توان‌نشتی در مدار نسبت به حالت اولیه می‌شود که این سربار در سمت

۶- نتیجه‌گیری

در این مقاله به بررسی همزمان اثرات تغییرات ساخت و فرسودگی بر تاخیر و قابلیت اطمینان فلیپ‌فلاپ‌های پالس‌دار پرداختیم. آزمایش‌های مونت‌کارلو گسترده نشان داد که تاخیر فلیپ‌فلاپ‌ها به تغییرات ساخت و فرسودگی ترانزیستورها بسیار حساس بوده و در نظر گرفتن این اثرات هنگام طراحی بسیار حائز اهمیت است. در ادامه، اثرات تغییرات ساخت و فرسودگی روی نرخ خرابی فلیپ‌فلاپ‌ها مورد بررسی قرار گرفت. نتایج به دست آمده نشان داد که با در نظر گرفتن همزمان تغییرات ساخت و فرسودگی ناشی از کارکرد فلیپ‌فلاپ‌ها، تغییرات تاخیر فلیپ‌فلاپ بسیار زیاد خواهد بود و در صورت غفلت از آن، می‌تواند اثرات مخربی بر کارکرد مدار و قابلیت اطمینان مدار داشته باشد. با ارائه روش تخصیص ولتاژ آستانه دوگانه، قابلیت اطمینان این فلیپ‌فلاپ‌ها بهبود داده می‌شود. نتایج به دست آمده نشان می‌دهد که با استفاده از روش ولتاژ آستانه دوگانه می‌توان تا مقداری با اثرات فرسودگی تا حدود ۴۰ درصد مقابله کرد. مشاهده می‌شود که این روش برای فلیپ‌فلاپ‌های پالس‌دار، بهبود قابل قبولی داشته و قابلیت اطمینان آن‌ها را افزایش داده است. از طرفی دیگر مشاهده شد که اعمال این روش بهبود بیشتری بر فرسودگی نسبت تغییرات ساخت دارد.

فراروی این کار می‌توان افق‌های دیگری نیز در نظر گرفت. در این مقاله، تنها به مقایسه اثرپذیری فلیپ‌فلاپ‌ها از سالمندی و تغییرات ساخت بر تاخیر آن‌ها پرداخته شده است. برای کارهای آینده می‌توان به بررسی و مقایسه فلیپ‌فلاپ‌ها از نظر توان، مساحت و اثرات سالمندی و تغییرات ساخت بر آن‌ها، اثرات افت ولتاژ تغذیه بر تاخیر و توان تحلیل جامع‌تری را ارائه نمود و یا با استفاده از

electron. Reliab., vol. 69, pp. 52–59, 2017.

[13] K. Juneja, N. P. Singh, and Y. K. Sharma, "High-performance and low-power clock branch sharing pseudo-nmos level converting flip-flop," 2013.

[14] V. Stojanovic and V. G. Oklobdzija, "Comparative analysis of master-slave latches and flip-flops for high-performance and low-power systems," IEEE J. Solid-State Circuits, vol. 34, no. 4, pp. 536–548, 1999.

[15] M. Omana, D. Rossi, T. Edara, and C. Metra, "Impact of aging phenomena on latches' robustness," IEEE Trans. Nanotechnol., vol. 15, no. 2, pp. 129–136, 2015.

[16] K. Ramakrishnan, X. Wu, N. Vijaykrishnan, and Y. Xie, "Comparative analysis of NBTI effects on low power and high performance flip-flops," in 2008 IEEE International Conference on Computer Design, 2008, pp. 200–205.

[17] M. S. Golanbari, S. Kiamehr, M. Ebrahimi, and M. B. Tahoori, "Aging guardband reduction through selective flip-flop optimization," in 2015 20th IEEE European Test Symposium (ETS), 2015, pp. 1–6.

[18] S. Sundareswaran, "Statistical characterization for timing sign-off: from silicon to design and back to silicon," 2009.

[19] K. J. Kuhn et al., "Process technology variation," IEEE Trans. Electron Devices, vol. 58, no. 8, pp. 2197–2208, 2011.

[20] S. Mahapatra et al., "A comparative study of different physics-based NBTI models," IEEE Trans. Electron Devices, vol. 60, no. 3, pp. 901–916, 2013.

[21] P. F. Butzen, V. Dal Bem, A. I. Reis, and R. P. Ribas, "Design of CMOS logic gates with enhanced robustness against aging degradation," Microelectron. Reliab., vol. 52, no. 9–10, pp. 1822–1826, 2012.

[22] Nanoscale Integration and Modeling (NIMO) Group, "Predictive Technology Model," 2012. [Online]. Available: <http://ptm.asu.edu/>. [Accessed: 04-Aug-2019].

[23] V. G. Rao and H. Mahmoodi, "Analysis of reliability of flip-flops under transistor aging effects in nano-scale CMOS technology," in 2011 IEEE 29th International Conference on Computer Design (ICCD), 2011, pp. 439–440.

روش‌های دیگری مانند اندازه‌گذاری ترانزیستورها به مقابله با آثار مخرب ناپایداری دمایی ناشی از بایاس و تغییرات ساخت پرداخت.

۷- منابع

[1] M. S. Gupta, J. A. Rivers, P. Bose, G.-Y. Wei, and D. Brooks, "Tribeca: design for PVT variations with local recovery and fine-grained adaptation," in Proceedings of the 42nd Annual IEEE/ACM International Symposium on Microarchitecture, 2009, pp. 435–446.

[2] D. K. Schroder and J. A. Babcock, "Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing," J. Appl. Phys., vol. 94, no. 1, pp. 1–18, 2003.

[3] A. Asenov, S. Kaya, and A. R. Brown, "Intrinsic parameter fluctuations in decananometer MOSFETs introduced by gate line edge roughness," IEEE Trans. Electron Devices, vol. 50, no. 5, pp. 1254–1260, 2003.

[4] H. Fukutome, Y. Momiyama, T. Kubo, Y. Tagawa, T. Aoyama, and H. Arimoto, "Direct evaluation of gate line edge roughness impact on extension profiles in sub-50-nm n-MOSFETs," IEEE Trans. Electron Devices, vol. 53, no. 11, pp. 2755–2763, 2006.

[5] C. Nunes, P. F. Butzen, A. I. Reis, and R. P. Ribas, "BTI, HCI and TDDB aging impact in flip-flops," Microelectron. Reliab., vol. 53, no. 9–11, pp. 1355–1359, 2013.

[6] S. Zafar et al., "A comparative study of NBTI and PBTI (charge trapping) in SiO₂/HfO₂ stacks with FUSI, TiN, Re gates," in 2006 Symposium on VLSI Technology, 2006. Digest of Technical Papers., 2006, pp. 23–25.

[7] F. Crupi, C. Pace, G. Cocorullo, G. Groeseneken, M. Aoulaiche, and M. Houssa, "Positive bias temperature instability in nMOSFETs with ultra-thin Hf-silicate gate dielectrics," Microelectron. Eng., vol. 80, pp. 130–133, 2005.

[8] M. F. Li et al., "Dynamic bias-temperature instability in ultrathin SiO₂ and HfO₂ metal-oxide-semiconductor field effect transistors and its impact on device lifetime," Jpn. J. Appl. Phys., vol. 43, no. 11S, p. 7807, 2004.

[9] M. S. Golanbari, S. Kiamehr, M. B. Tahoori, and S. Nassif, "Analysis and optimization of flip-flops under process and runtime variations," in Sixteenth International Symposium on Quality Electronic Design, 2015, pp. 191–196.

[10] M. Hansson and A. Alvandpour, "Comparative analysis of process variation impact on flip-flop power-performance," in 2007 IEEE International Symposium on Circuits and Systems, 2007, pp. 3744–3747.

[11] T. Nakasato, T. Nakura, and K. Asada, "Stress-balance Flip-Flops for NBTI tolerant circuit based on Fine-Grain Redundancy," in 2011 International SoC Design Conference, 2011, pp. 150–153.

[12] S. Taghipour and R. N. Asli, "Aging comparative analysis of high-performance FinFET and CMOS flip-flops," Micro-