

تاریخ دریافت مقاله: ۹۵/۰۸/۰۶  
تاریخ پذیرش مقاله: ۹۵/۱۱/۲۰

## طراحی کمپرسورهای ۴ به ۲ و ۵ به ۲ با توان مصرفی پایین

مرتضی داداشی گواهر\*

دانشجوی کارشناسی ارشد دانشکده مهندسی کامپیوتر و فناوری اطلاعات دانشگاه صنعتی امیرکبیر - تهران - ایران

پست الکترونیکی: mdadashi@aut.ac.ir

کوروش منوچهری کلانتری

استادیار دانشکده مهندسی کامپیوتر و فناوری اطلاعات دانشگاه آزاد واحد پرند - پرند - ایران

پست الکترونیکی: Kmanochehri@piaou.ac.ir

سعادت پورمظفری

استادیار دانشکده مهندسی کامپیوتر و فناوری اطلاعات دانشگاه صنعتی امیرکبیر - تهران - ایران

پست الکترونیکی: Saadat@aut.ac.ir

### چکیده

کاری ۱ گیگاهرتز با ولتاژ ۱ ولت شبیه‌سازی شده است. نتایج حاصل از شبیه‌سازی با بهترین طرح‌های موجود مقایسه شده‌اند که نشان می‌دهد کمپرسورهای پیشنهادی در زمینه توان مصرفی و PDP بهبود داشته‌اند. کمپرسور ۴ به ۲ پیشنهادی ۴۳/۶ درصد توان مصرفی و ۴/۱ درصد PDP را نسبت به کمپرسورهای موجود بهبود می‌بخشد. همچنین طرح پیشنهادی برای کمپرسور ۵ به ۲ توان مصرفی را ۷۳/۸ درصد و PDP را به میزان ۲۹/۲ درصد نسبت به طرح‌های مشابه موجود بهبود می‌دهد.

واژه‌های کلیدی: کمپرسور ۴ به ۲، کمپرسور ۵ به ۲، XOR

سه ورودی، VLSI، HSPICE.

امروزه ضرب‌کننده‌ها به‌طور گسترده‌ای در ریزپردازنده‌ها، پردازش سیگنال و خیلی از الگوریتم‌های رمزنگاری مورد استفاده قرار می‌گیرند. همچنین ضرب‌کننده در بعضی از مدارهای حسابی بیشترین توان مصرفی، تاخیر و مساحت اشغالی را در بر می‌گیرند که این امر سبب اهمیت ضرب‌کننده می‌شود. علاوه بر این کمپرسورها مهم‌ترین واحد در تولید ضرب‌کننده‌ها هستند. در این مقاله، معماری جدیدی برای دو کمپرسور ۴ به ۲ و ۵ به ۲ با توان مصرفی پایین با استفاده از XOR سه ورودی طراحی شده است. طرح‌های پیشنهادی با استفاده از نرم‌افزار HSPICE و با استفاده از مدل CMOS در ابعاد ۳۲ نانومتر و در فرکانس

\* نویسنده مسئول

در این مقاله معماری جدیدی برای طراحی دو کمپرسور ۴به۲ و ۲به۵ ارائه شده است. در بخش بعدی بهترین طرح‌های موجود برای کمپرسورهای ۴به۲ و ۲به۵ و همچنین XOR سه ورودی مورد استفاده در طرح‌های پیشنهادی، مورد بررسی قرار می‌گیرند. در ادامه بخش سه به معرفی طرح‌های پیشنهادی می‌پردازد. در بخش چهار نیز شبیه‌سازی‌های انجام شده و نتایج آن مورد بررسی قرار می‌گیرد و در نهایت در بخش پنج نتیجه‌گیری حاصل از مقاله بیان شده است.

## ۲- پیشینه پژوهش

همان‌طور که گفته شد کمپرسورها یکی از مهمترین بخش‌ها برای طراحی ضرب‌کننده‌ها هستند که از مهم‌ترین آن‌ها می‌توان، کمپرسورهای ۴به۲ برای ضرب‌کننده‌های متداول و کمپرسورهای ۵به۲ برای ضرب‌کننده‌ها با تعداد ورودی زیاد و یا دقت بالا را نام برد. همچنین همان‌طور که ذکر شد در این مقاله برای طراحی کمپرسورها از XOR سه ورودی پیشنهادی در مرجع [۹] استفاده شده است. در این بخش به بررسی موارد بالا پرداخته می‌شود.

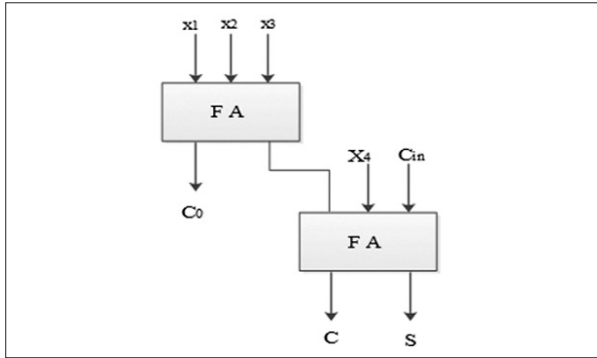
### ۲-۱- کمپرسور ۴به۲

کمپرسورهای ۳به۲ و ۴به۲ به‌طور کلی برای عمل جمع مورد استفاده قرار می‌گیرند. یک کمپرسور ۴به۲ دارای ۵ ورودی و سه خروجی است (مانند شکل ۱). چهار ورودی  $x_1, x_2, x_3, x_4$  و  $c_{in}$  با خروجی Sum هم ارزش هستند [۸]. کمپرسور ۴به۲ یک ورودی از مرحله قبل گرفته (معمولاً از ماژول‌های مشابه در سطح قبل) و یک خروجی با ارزش بالاتر به مرحله بعد می‌دهد. یک کمپرسور ۴به۲ را می‌توان با استفاده از اتصال دو جمع‌کننده به صورت سری مانند شکل ۲ ساخت.

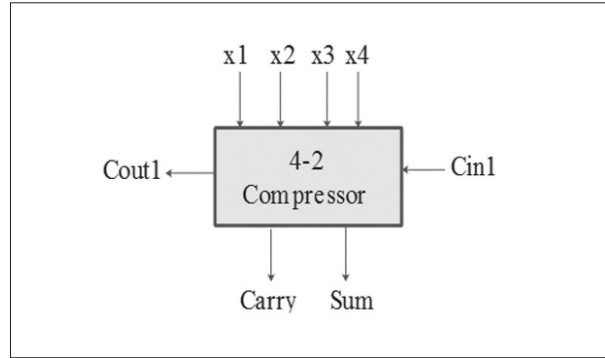
معادله (۱) تابع منطقی کمپرسور ۴به۲ را نمایش می‌دهد که در آن  $x_i$  نمایانگر ورودی‌های اصلی جمع‌کننده و  $c_i$  رقم نقلی است که از مرحله قبل با ارزش کمتر به کمپرسور وارد

در دهه‌های اخیر مدارهای ضرب‌کننده‌های دیجیتال به‌طور گسترده‌ای در ریزپردازنده‌ها، پردازش سیگنال، الگوریتم‌های رمزنگاری و محاسبه کارایی بسیاری از الگوریتم‌ها مورد استفاده قرار گرفته‌اند [۱]. به‌طور معمول ضرب‌کننده‌ها شامل سه بخش هستند: بخش تولید رقم نقلی<sup>۱</sup>، بخش کاهش رقم نقلی<sup>۲</sup> و بخش جمع‌کننده نهایی<sup>۳</sup> با رقم نقلی [۲]. بخش کاهش رقم نقلی بیشترین مساحت اشغالی و بیشترین نوان مصرفی بین این سه بخش را دارا می‌باشد به همین دلیل توجه زیادی را در بین طراحان به خود جلب کرده است [۳]. برای یک ضرب‌کننده  $m \times n$ ، بخش کاهش رقم نقلی، رقم‌های نقلی تولید شده در بخش تولید رقم نقلی را کاهش می‌دهد (معمولاً به دو رقم). این امر عمدتاً با پیاده‌سازی چند مرحله‌ای بخش کاهش رقم نقلی که در آن از جمع‌کننده با ذخیره رقم نقلی<sup>۴</sup> به صورت آرایه‌ای از جمع‌کننده‌ها و یا از کمپرسورها استفاده شده، صورت می‌پذیرد [۴]. کمپرسورها برای انجام عمل جمع مورد استفاده قرار می‌گیرند که باعث می‌شود تاخیر مسیر بحرانی را نیز کاهش داده و کارایی کلی مدار را نیز افزایش دهند [۵]. در نتیجه افزایش سرعت کمپرسورها و کاهش توان مصرفی آن‌ها برای دستیابی به ضرب‌کننده‌ها با کارایی بالاتر ضروری است. امروزه برای طراحی ضرب‌کننده‌ها با سرعت بالا کمپرسورهای ۴به۲ و ۵به۲ به‌طور گسترده برای افزایش سرعت و کاهش توان مصرفی به کار می‌روند [۶-۸]. همچنین کمپرسورها با تعداد ورودی‌های بیشتر مانند کمپرسورهای ۵به۲ و ۷به۲ نیز توسط پژوهشگران مورد بررسی قرار گرفته‌اند که در این بین کمپرسورهای ۵به۲ برای استفاده در ضرب‌کننده‌های با تعداد ورودی زیاد و یا با دقت بالا به‌طور فزاینده‌ای مورد استفاده قرار گرفته‌اند. اکثر تحقیقات بر روی کمپرسورها با تعداد ورودی زیاد، بر بهینه‌سازی ساختار مدار برای کاربردهای با سرعت بالا و یا توان پایین تاکید دارند [۱].

1- Partial Product Generation  
2- Partial Product Reduction  
3- Final Carry Propagating Addition  
4- Carry save adder



شکل ۲: کمپرسور ۴ به ۲ با استفاده از جمع کننده



شکل ۱: نمودار بلوکی یک کمپرسور ۴ به ۲

پیاده‌سازی کمپرسورها با سرعت بالا و توان مصرفی پایین مورد استفاده قرار می‌گیرند. نمودار بلوکی یک کمپرسور ۵ به ۲ مانند شکل ۶، دارای هفت ورودی و چهار خروجی است که پنج ورودی آن به عنوان ورودی اصلی دارای ارزش یکسان بوده و دو ورودی مقادیرشان را از مراحل قبل دریافت می‌کنند. تمام هفت ورودی دارای ارزش یکسان هستند. کمپرسور ۵ به ۲ یک خروجی هم ارزش با هفت ورودی و سه خروجی را با یک ارزش بالاتر تولید می‌کند که به ورودی دروازه‌ها در مرحله بالاتر متصل می‌شود. رابطه میان ورودی‌ها و خروجی در یک کمپرسور ۵ به ۲ در معادله ۳ نشان داده شده است.

$$x_1 + x_2 + x_3 + x_4 + x_5 + cin_1 + cin_2 = Sum + 2 \times (Carry + C_{out1} + C_{out2}) \quad (3)$$

یک کمپرسور ۵ به ۲ همانند کمپرسور ۴ به ۲ را می‌توان با استفاده از جمع‌کننده‌ها نیز ایجاد کرد که در شکل ۷ قابل مشاهده است.

به‌طور کلی کمپرسورهای ۵ به ۲ نیز مانند کمپرسورهای ۴ به ۲ با استفاده از ترکیب ماژول‌های XOR-XNOR و یا MUX ساخته می‌شوند. به‌طور مثال دو طرح پیشنهادی در مرجع [۱] در شکل ۸ نشان داده شده است که در طرح شکل ۸- (a) کمپرسوری بر مبنای CGEN و XOR ارائه شده است در حالی که در طرح شکل ۸- (b) به جای استفاده از ماژول CGEN از MUX استفاده شده است که باعث می‌شود قبل از محاسبه مقادیر XOR مقداری که قرار است با XOR مرحله قبل AND شود مشخص و باعث افزایش سرعت

می‌شود [۱۰].

$$x_1 + x_2 + x_3 + x_4 + c_i = Sum + 2 \times (Carry + Cout) \quad (1)$$

طرح‌های مختلفی برای کمپرسور ۴ به ۲ وجود دارد [۱-۳, ۷, ۸, ۱۱] به‌طور مثال شکل ۳ کمپرسور پیشنهادی مرجع [۱] را نشان می‌دهد. در این ساختار ماژول XOR-XNOR مقادیر XOR و مقدار معکوس آن را به‌طور همزمان به ماژول بعدی انتقال می‌دهد. به همین دلیل دیگر به استفاده از واحدهای معکوس کننده نیاز نیست. همچنین کمپرسور دیگری نیز در مرجع [۱۰] پیشنهاد شده است که در آن به جای استفاده از ماژول XOR-XNOR از ماژول MUX استفاده می‌کند که باعث می‌شود مقدار مورد نیاز برای AND شدن از قبل تعیین شده باشد و رقم نقلی خروجی با سرعت بیشتری محاسبه شود. شکل ۴ را ببینید. سه خروجی طرح موجود در شکل ۴ با فرمول (۲) نشان داده می‌شوند:

$$C_{out} = (x_1 \oplus x_2) \cdot x_3 + x_1 x_2 = (x_1 \oplus x_2) \cdot x_3 + \overline{(x_1 \oplus x_2)} \cdot x_1 \quad (2)$$

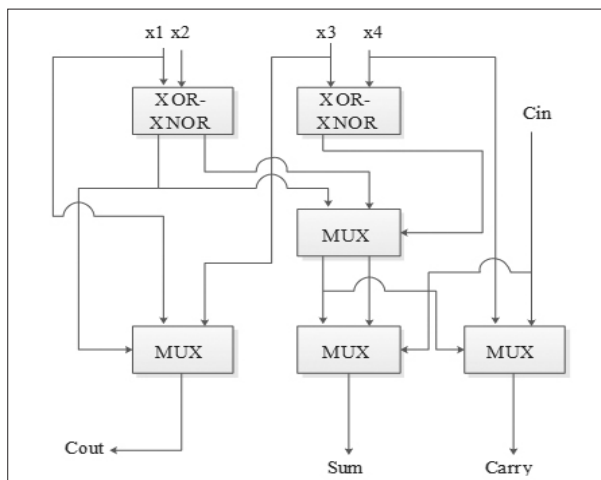
$$Sum = x_1 \oplus x_2 \oplus x_3 \oplus x_4 \oplus c_{in}$$

$$Carry = (x_1 \oplus x_2 \oplus x_3 \oplus x_4) \cdot c_{in} + \overline{(x_1 \oplus x_2 \oplus x_3 \oplus x_4)} \cdot x_4$$

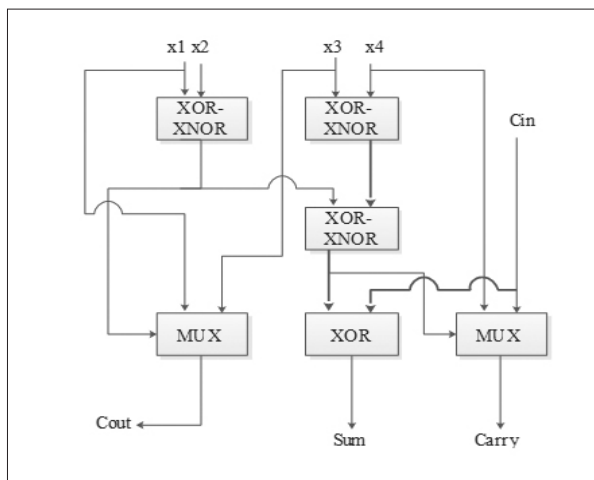
علاوه بر این در طرح پیشنهادی مرجع [۱۲] که در شکل (۵) نشان داده شده به جای استفاده از XOR-XNOR و یا MUX از ماژول CGEN برای تولید رقم نقلی و Cout استفاده شده است که باعث افزایش سرعت کمپرسور پیشنهادی می‌شود.

## ۲-۲- کمپرسور ۵ به ۲

کمپرسور ۵ به ۲ نیز یکی از ماژول‌هایی است که برای



شکل ۴: کمپرسور ۴ به ۲ پیشنهادی بر مبنای MUX [۱۰].



شکل ۳: کمپرسور ۴ به ۲ پیشنهادی در مرجع [۱].

طرح مرجع [۱۳] یکی از طرح‌های پیشنهادی است که جهت پیاده‌سازی XOR سه ورودی پیشنهاد شده است که در شکل ۱۰ (الف) نشان داده شده است. در این پژوهش با توجه به طرح‌هایی که در مرجع [۹] برای پیاده‌سازی XOR سه ورودی پیشنهاد شده است، تصمیم بر آن شد تا از یکی از این طرح‌ها نسبت به XOR های سه ورودی موجود که دارای سرعت و توان مصرفی بهبود یافته است، استفاده شود. در این بین طرحی که برای پیاده‌سازی XOR سه ورودی تنها از ۱۰ ترانزیستور استفاده کرده بود و در شکل ۱۰ (ب) نشان داده شده است، به علت این که علاوه بر کاهش توان مصرفی و تاخیر، مساحت اشغالی را نیز بهبود می‌داد مورد توجه قرار گرفت. علاوه بر مواردی که ذکر شد طرح پیشنهادی در مرجع [۹] دارای سوئینگ کامل بوده و دارای ساختار ساده و متقارن است که باعث ساده شدن مرحله طراحی layout و اقتصادی شدن طرح‌ها می‌شود. با توجه به این ویژگی‌ها و این که در معماری پیشنهادی از XOR سه ورودی استفاده شده است، این طرح در پیاده‌سازی طرح پیشنهادی نهایی مورد استفاده قرار گرفته است.

### ۳- طرح‌های پیشنهادی

معماری پیشنهادی در این مقاله بر این مبنا است که تا جای ممکن به جای استفاده از ترکیب XOR-XNOR و MUX از XOR سه ورودی استفاده شود تا باعث کاهش

محاسبه رقم نقلی شود.

طرح پیشنهادی مرجع [۱۰] در شکل ۹ نشان داده شده است. همچنین تابع خروجی آن نیز مطابق فرمول ۴ است. این طرح از کمپرسورهای مرجع [۱] الهام گرفته است و سعی بر این داشته است که تا حد ممکن به جای استفاده از ترکیب XOR با یکدیگر از ترکیب XOR-XNOR و MUX جهت افزایش سرعت بهره بگیرد.

$$c_{out} = (x_1 \oplus x_2).x_3 + x_1x_2 = (x_1 \oplus x_2).x_3 + \overline{(x_1 \oplus x_2)}.x_1 \quad (4)$$

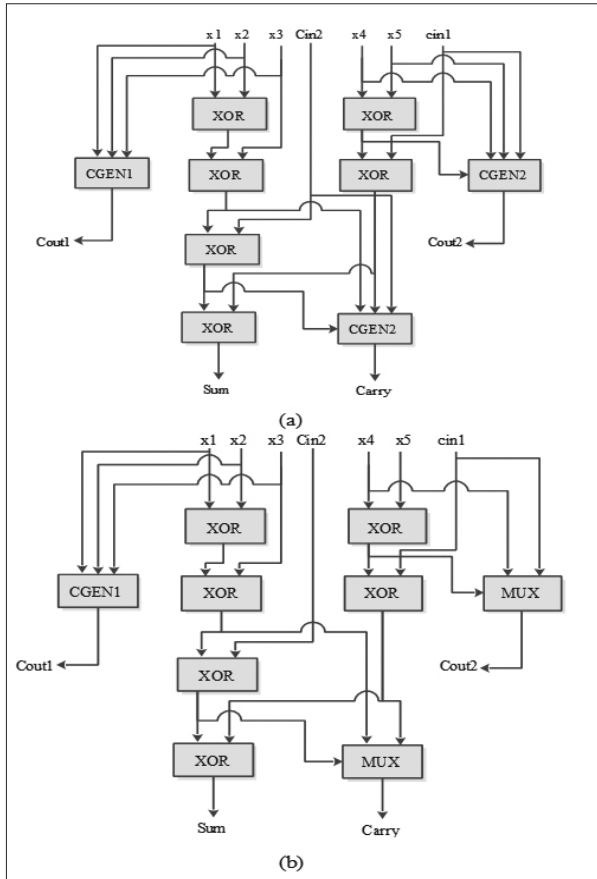
$$Sum = x_1 \oplus x_2 \oplus x_3 \oplus x_4 \oplus c_{in}$$

$$Carry = (x_1 \oplus x_2 \oplus x_3 \oplus x_4).c_{in} + \overline{(x_1 \oplus x_2 \oplus x_3 \oplus x_4)}.x_4$$

### ۲-۳- XOR سه ورودی

XOR و معکوس آن در مدارهای دیجیتال بسیاری کاربرد دارند و به‌طور گسترده‌ای در طراحی مدارهای VLSI مختلفی مانند بررسی کننده‌های بیت Parity<sup>۵</sup>، مقایسه کننده‌ها، پردازنده‌های رمزنگاری و کمپرسورها به کار می‌روند. در نتیجه بهبود کارایی یک ماژول XOR باعث بهبود عملکرد مدارهای زیادی می‌شود. امروزه در معماری بسیاری از کمپرسورها نیاز به انجام یک عملگر XOR با سه ورودی است اما همان‌طور که در بخش قبل قابل مشاهده است با توجه به این که به‌طور معمول سرعت و توان مصرفی XOR سه ورودی زیاد است، اغلب از ترکیب XOR-XNOR و MUX و یا ماژول CGEN جهت جایگزینی استفاده می‌شود.

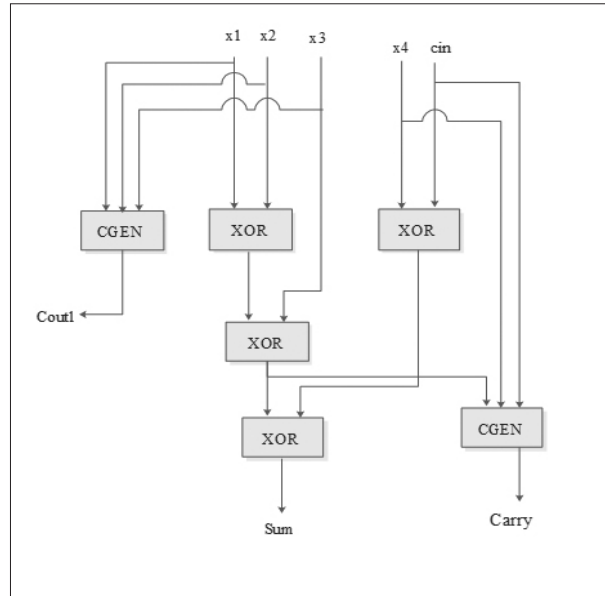
5- Parity bit checker



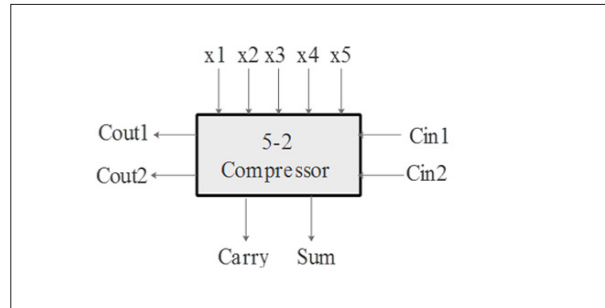
شکل ۸: کمپرسورهای ۲ به ۵ پیشنهادی مرجع [۱]

### ۳-۱- کمپرسور ۲ به ۵

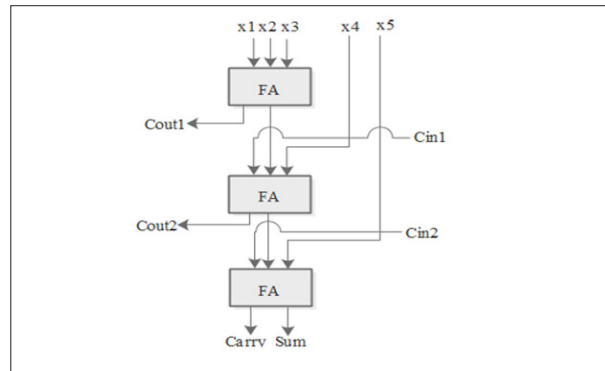
طرح پیشنهادی برای کمپرسور ۲ به ۵ در شکل ۱۱ آمده است. این طرح همانند طرح مرجع [۱۰] است با این تفاوت که به جای استفاده از دو دروازه XOR-XNOR و MUX در ورودی از یک دروازه XOR سه ورودی استفاده شده است. این امر باعث شده تا توان مصرفی و تعداد دروازه‌های مورد نیاز برای پیاده‌سازی کمپرسور ۲ به ۵ کاهش یابد. تاخیر کلی حاصل از طرح پیشنهادی برابر است با تاخیر دو XOR دو ورودی و یک XOR سه ورودی. همچنین در پیاده‌سازی آن تنها از ۵۰ ترانزیستور استفاده شده است که به نسبت بسیاری از کمپرسورهای موجود دارای تعداد ترانزیستور کمتری است. معادله خروجی برحسب ورودی در طرح پیشنهادی مطابق معادله ۵ است که نشان دهنده صحت عملکرد کمپرسور پیشنهادی است.



شکل ۵: کمپرسور ۲ به ۴ پیشنهادی مرجع [۱۲].

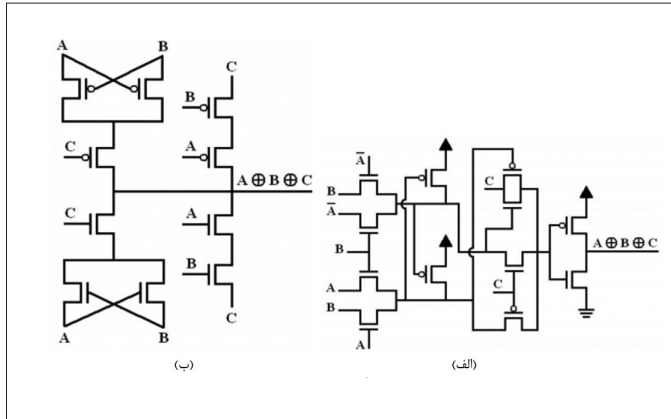


شکل ۶: نمودار بلوکی یک کمپرسور ۲ به ۵

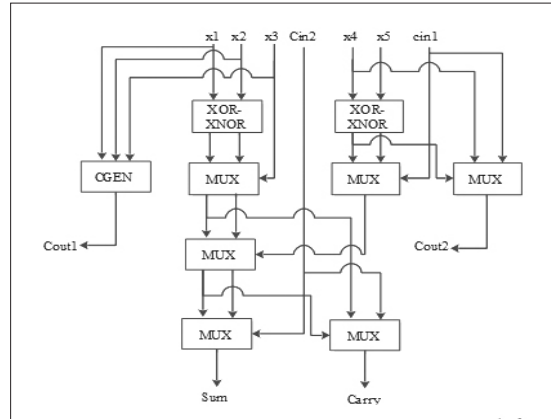


شکل ۷: یک کمپرسور ۲ به ۵ با استفاده از جمع‌کننده‌ها.

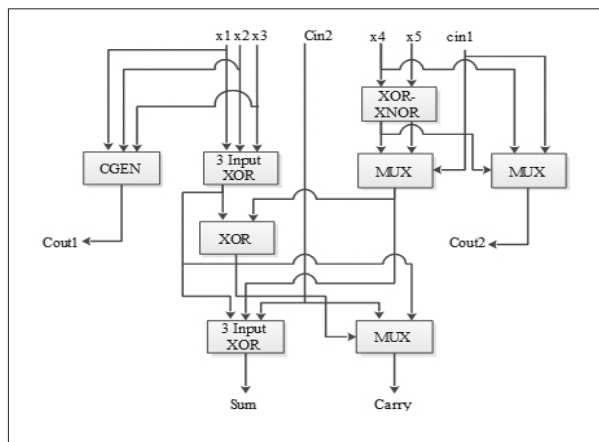
توان مصرفی شود و به جای باقی مانده ماژول‌های مدار تا حد ممکن از MUX استفاده شود که باعث افزایش سرعت می‌شود. در این مقاله با استفاده از این روش دو کمپرسور ۲ به ۵ و ۲ به ۵ طراحی شده است که در ادامه مورد بررسی قرار خواهند گرفت.



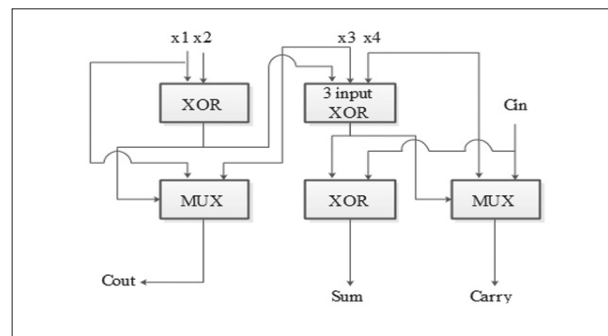
شکل ۱۰: الف) سه ورودی XOR پیشنهادی در مرجع [۱۳] ب) سه ورودی XOR پیشنهادی در مرجع [۹].



شکل ۹: کمپرسور ۵ به ۲ پیشنهادی مرجع [۱۰]



شکل ۱۲: طرح پیشنهادی برای کمپرسور ۵ به ۲ با استفاده از معماری پیشنهادی



شکل ۱۱: طرح پیشنهادی برای کمپرسور ۵ به ۲ با استفاده از معماری پیشنهادی

(۵)

$$\begin{aligned}
 C_{out1} &= (x_1 \oplus x_2) \cdot x_3 + x_1 \cdot x_2 \\
 C_{out2} &= (x_4 \oplus x_5) \cdot c_{in1} + (x_4 \oplus x_5) \cdot x_4 \\
 Sum &= (x_1 \oplus x_2 \oplus x_3) \oplus (x_4 \oplus x_5 \oplus c_{in1}) \oplus c_{in2} \\
 Carry &= ((x_1 \oplus x_2 \oplus x_3) \oplus (x_4 \oplus x_5 \oplus c_{in1})) \cdot c_{in2} \\
 &+ ((x_1 \oplus x_2 \oplus x_3) \oplus (x_4 \oplus x_5 \oplus c_{in1})) \cdot (x_1 \oplus x_2 \oplus x_3)
 \end{aligned}$$

(۶)

$$\begin{aligned}
 C_{out} &= (x_1 \oplus x_2) \cdot x_3 + x_1 x_2 = (x_1 \oplus x_2) \cdot x_3 + \overline{(x_1 \oplus x_2)} \cdot x_1 \\
 Sum &= (((x_1 \oplus x_2) \oplus x_3 \oplus x_4) \oplus c_{in}) \\
 Carry &= ((x_1 \oplus x_2) \oplus x_3 \oplus x_4) \cdot c_{in} + \overline{((x_1 \oplus x_2) \oplus x_3 \oplus x_4)} \cdot x_4
 \end{aligned}$$

### ۳-۲- کمپرسور ۵ به ۲

در کمپرسور ۵ به ۲ پیشنهادی نیز از معماری ذکر شده در این بخش استفاده شد که در شکل ۱۲ قابل مشاهده است. این طرح نیز مانند طرح قبلی از تعداد دروازه کمتر و همچنین از تعداد ترانزیستور کمتری (۸۰ ترانزیستور)، نسبت به طرح‌های مشابه موجود استفاده می‌کند که علاوه بر بهبود توان مصرفی باعث کاهش مساحت اشغالی نیز خواهد شد. معادلات خروجی بر مبنای ورودی کمپرسور پیشنهادی همانند معادله ۶ است که نشان دهنده عملکرد صحیح طرح پیشنهادی می‌باشد. تاخیر کلی کمپرسور پیشنهادی نیز برابر است با تاخیر دو XOR سه ورودی.

### بررسی نتایج شبیه‌سازی

در این بخش نتایج حاصل از شبیه‌سازی‌ها و عملکرد طرح‌های پیشنهادی بررسی و با طرح‌های موجود تا به امروز مقایسه شده است. تمامی طرح‌ها در این مقاله با استفاده از شبیه‌ساز HSPICE و با فناوری ۳۲ نانومتر CMOS و با ولتاژ یک ولت و فرکانس کاری ۱ گیگاهرتز شبیه‌سازی شده‌اند. برای شبیه‌سازی عملکرد کمپرسورها در محیط واقعی، از محیط شبیه‌سازی که در مراجع [۱، ۶] پیشنهاد شده،

جدول ۱: نتایج حاصل از شبیه‌سازی

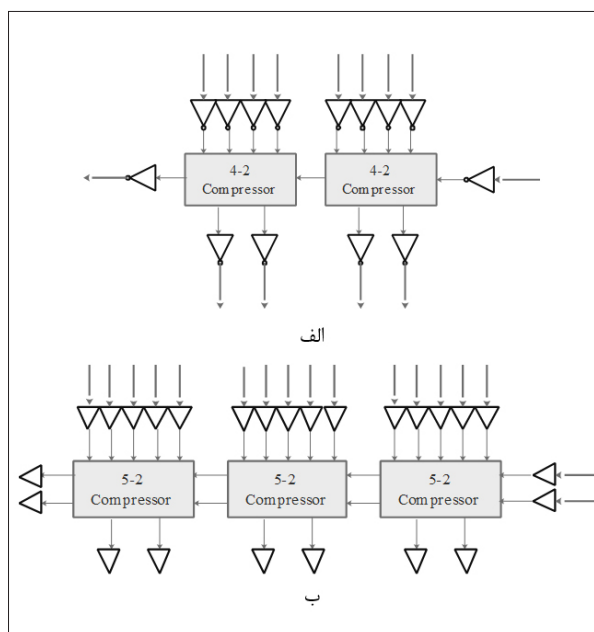
تعداد ترانزیستور	PDP( $Je^*e^{-15}$ )	تاخیر (ps)	توان مصرفی ( $\mu W$ )	طرح‌های پیشنهادی	کمپرسورهای ۲به۴
۴۳	۳/۲۶۴	۶۸	۴۸	[۶]	کمپرسورهای ۲به۴
۷۴	۱/۳۹۸	۲۷۲	۵/۱۴	[۷]	
۵۶	۰/۹۴۶	۹۴/۹۷	۹/۹۷	[۸]	
۵۰	۰/۹۰۷	۳۱۲/۷۸۳	۲/۹۰۱	کمپرسور پیشنهادی	
۸۴	۱/۴۹۵	۱۲۶	۱۱/۸۷	[۱۰]	کمپرسورهای ۲به۵
۸۰	۱/۰۵۸	۳۳۹/۹۵۷	۳/۱۱۳	کمپرسور پیشنهادی	

همان مرحله از درخت CSA عبور کنند. همچنین به این دلیل که به احتمال زیاد بیشترین تاخیر، مربوط به سمت چپ ترین کمپرسور در دو محیط شبیه‌سازی پیشنهادی است، در این شبیه‌سازی سمت همان کمپرسورها برای محاسبه تاخیر کلی مورد استفاده قرار گرفته‌اند. میزان تاخیر نیز از اولین سیگنال ورودی که به مقدار ۵۰ درصد حداکثر ولتاژ ورودی (که در این جا ۱ ولت است) تا اولین سیگنال خروجی که به مقدار ۵۰ درصد حداکثر ولتاژ ورودی میرسد، اندازه گیری شده است.

نتایج حاصل از شبیه‌سازی کمپرسور ۲به۴ و ۲به۵ در جدول ۱ نشان داده شده‌اند. با توجه به نتایج به دست آمده، کمپرسور ۲به۴ پیشنهادی میزان توان مصرفی و PDP را به ترتیب به اندازه ۴۳/۶٪ و ۴/۱٪ کاهش داده است و تنها از ۵۰ ترانزیستور در ساخت آن استفاده شده است که نسبت به اکثر طرح‌های موجود از تعداد ترانزیستور کمتری برای طراحی آن استفاده شده است. همچنین کمپرسور ۲به۴ پیشنهادی نیز مصرف توان و PDP را به ترتیب به میزان ۷۳/۸٪ و ۲۹/۲٪ بهبود بخشیده است و در طراحی آن تنها از ۸۰ ترانزیستور استفاده شده است که از تعداد ترانزیستورهای دیگر طرح‌های پیشنهادی مشابه کمتر است. شکل موج حاصل از کمپرسورهای پیشنهادی نیز در شکل ۱۳ قابل مشاهده است که نشان دهنده عملکرد صحیح طرح‌های پیشنهادی است.

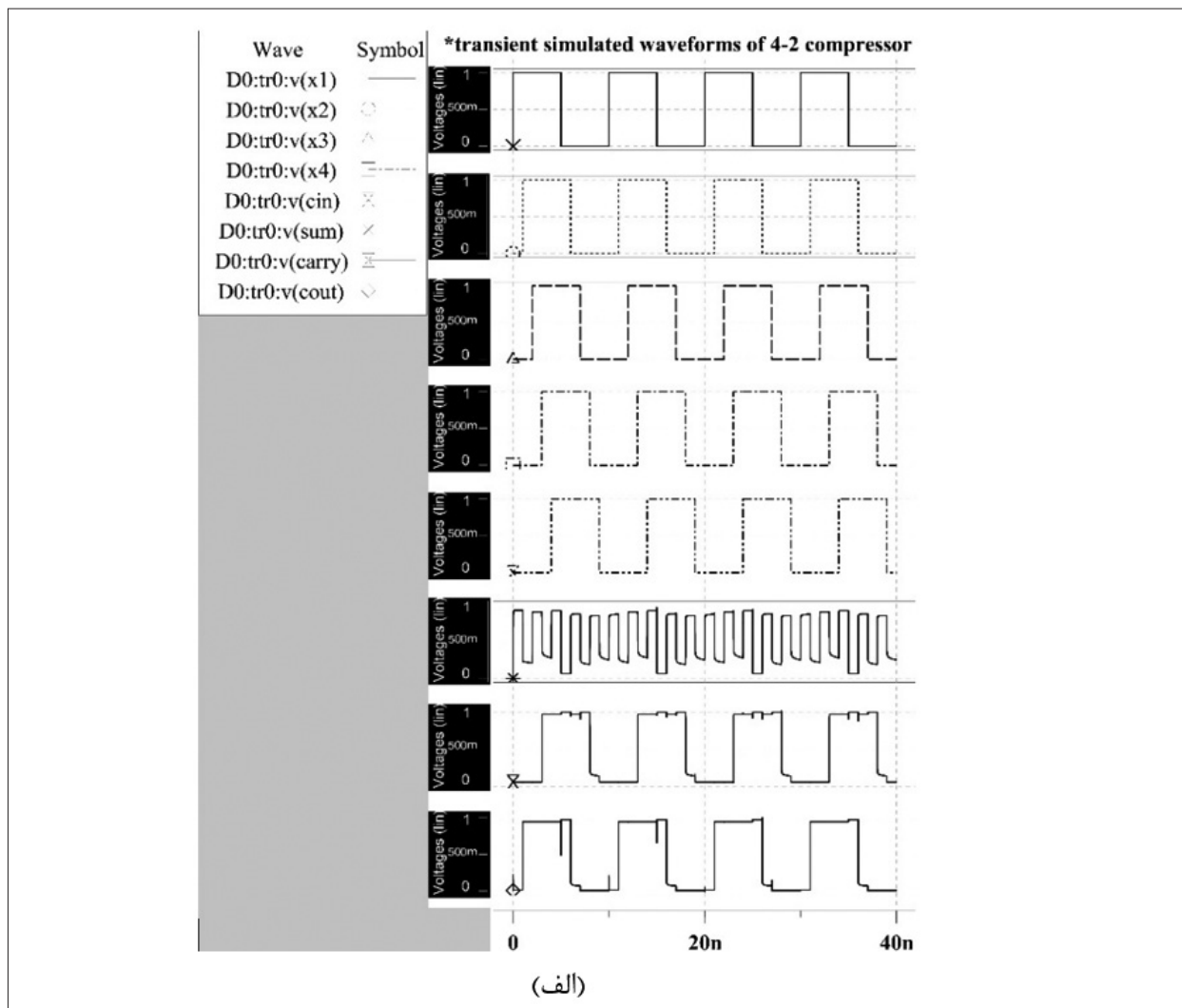
#### نتیجه‌گیری

در این مقاله معماری جدیدی برای پیاده‌سازی



شکل ۱۲: الف) محیط شبیه‌سازی کمپرسور ۲به۴ (ب) محیط شبیه‌سازی کمپرسور ۲به۵.

استفاده شده است که در شکل ۱۲ قابل مشاهده است. در این محیط هر ورودی به یک میانگیر متصل شده و هر خروجی نیز به یک میانگیر متصل شده که باعث می‌شود تا عملکرد کمپرسورها مانند محیط‌های کاربردی واقعی مورد بررسی قرار گیرد. برای پیاده‌سازی محیط شبیه‌سازی کمپرسور ۲به۴ از دو و برای کمپرسور ۵ به ۲ از سه کمپرسور که به هم متصل شده‌اند استفاده شده است. این کمپرسورها به این دلیل به صورت موازی پیاده‌سازی شده‌اند که یک مرحله از درخت CSA را به صورت واقعی شبیه‌سازی کنند. علاوه بر این برای شبیه‌سازی در این محیط، بیش از یک کمپرسور برای شبیه‌سازی استفاده شده است زیرا ممکن است برای بعضی از الگوهای داده مسیر بحرانی از کمپرسورها در



شکل ۱۳: الف) شکل موج حاصل از کمپرسور ۲به۴

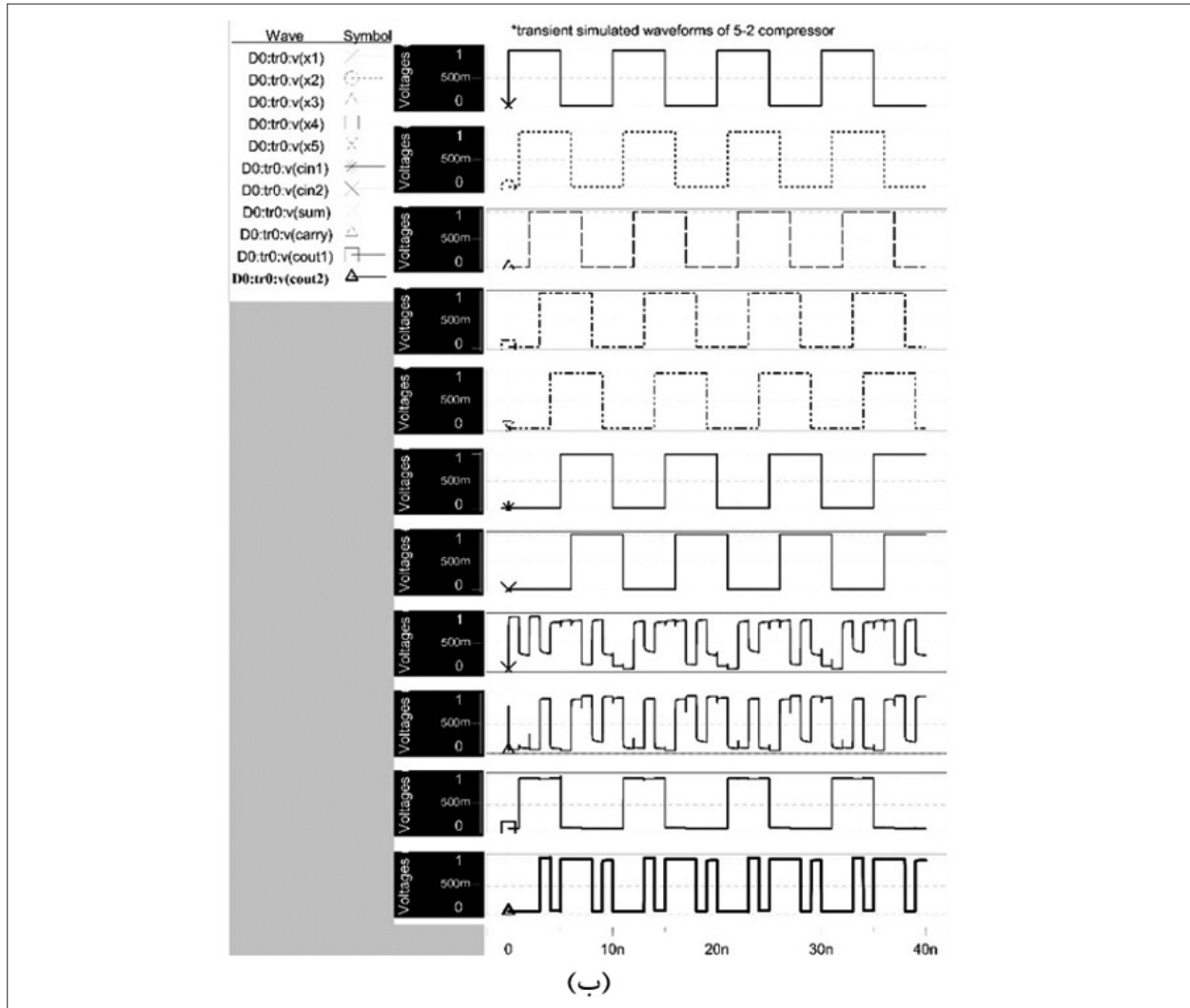
میزان  $73/8\%$  و  $29/2\%$  بهبود بخشیده است. علاوه بر این مساحت اشغالی توسط دو طرح پیشنهادی نسبت به اغلب طرح‌های موجود بهبود داشته است. در نتیجه کمپسورهای طراحی شده می‌توانند در بسیاری از ضرب‌کننده‌ها مورد استفاده قرار گیرند و باعث کاهش توان مصرفی و مساحت اشغالی آن‌ها شوند.

#### مراجع

- [1] C.-H. Chang, J. Gu, and M. Zhang, "Ultra low-voltage low-power CMOS 4-2 and 5-2 compressors for fast arithmetic circuits," IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 51, pp. 1985-1997, 2004.
- [2] D. Radhakrishnan and A. Preethy, "Low power CMOS pass logic 4-2 compressor for high-speed multiplication," PROCEEDINGS OF THE IEEE MIDWEST SYMPOSIUM ON CIRCUITS

کمپرسورها ارائه شده است که در پیاده‌سازی کمپرسورهای ۲به۴ و ۲به۵ از آن استفاده شده است. سیاست معماری ارائه شده جایگزینی ماژول XOR سه ورودی به جای ترکیبی از XOR و MUX و یا دو XOR دو ورودی، برای کاهش توان مصرفی است. برای پیاده‌سازی طرح‌های پیشنهادی از شبیه‌ساز HSPICE استفاده شده است. همچنین طرح‌های پیشنهادی با استفاده از مدل ۳۲ نانومتر CMOS و در فرکانس کاری ۱ گیگاهرتز و با ولتاژ ورودی ۱ ولت پیاده‌سازی شده‌اند. نتایج حاصل از شبیه‌سازی نشان می‌دهد که کمپرسور ۲به۴ پیشنهادی میزان توان مصرفی و PDP را به ترتیب به اندازه  $43/6\%$  و  $4/1\%$  کاهش داده است و کمپرسور ۲به۵ نیز مصرف توان و PDP را به ترتیب به





شکل ۱۳: (ب) شکل موج حاصل از کمپرسور ۵ به ۲.

O. Kavehei, "Novel direct designs for 3-input XOR function for low-power and high-speed applications," *International Journal of Electronics*, vol. 97, pp. 647-662, 2010.

[10] H. Qi, "A high speed low power modulo  $2n+1$  multiplier design using carbon-nanotube technology," *Electrical and Computer Engineering Paper 79*. <http://hdl.handle.net/2047/d20002537>, Master's Teses, 2012.

[11] E. Alkaldy, K. Navi, F. Sharifi, and M. H. Moaiyeri, "An ultra high-speed (4; 2) compressor with a new design approach for nanotechnology based on the multi-input majority function," *Journal of Computational and Theoretical Nanoscience*, vol. 11, pp. 1691-1696, 2014.

[12] A. Najafi, B. Mazloom-nezhad, and A. Najafi, "Low-power and high-speed 4-2 compressor," *Information & Communication Technology Electronics & Microelectronics (MIPRO)*, 2013 36th International Convention on, pp. 66-69, 2013.

[13] S. Goel, A. Kumar, and M. A. Bayoumi, "Design of robust, energy-efficient full adders for deep-submicrometer design using hybrid-CMOS logic style," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 14, pp. 1309-1321, 2006.

AND SYSTEMS, vol. 43, pp. 1296-1299, 2000.

[3] A. Momeni, J. Han, P. Montuschi, and F. Lombardi, "Design and analysis of approximate compressors for multiplication," *IEEE Transactions on Computers*, vol. 64, pp. 984-994, 2015.

[4] B. K. Mohanty and A. Choubey, "Efficient Design for Radix-8 Booth Multiplier and Its Application in Lifting 2-D DWT," *Circuits, Systems, and Signal Processing*, pp. 1-21, 2016.

[5] S. TABRIZCHI, N. AZIMI, and K. NAVI, "Design a novel ternary half adder and multiplier based on carbon nano-tube field effect transistors (CNTFETs)," *Frontiers*, vol. 1, 2016.

[6] P. Aliparast, Z. D. Koozehkanani, and F. Nazari, "An ultra high speed digital 4-2 compressor in 65-nm CMOS," *International Journal of Computer Theory and Engineering*, vol. 5, p. 593, 2013.

[7] A. Pishvaie, G. Jaberipur, and A. Jahanian, "Redesigned CMOS (4; 2) compressor for fast binary multipliers," *Canadian Journal of Electrical and Computer Engineering*, vol. 36, pp. 111-115, 2013.

[8] P. Hasini and T. K. Murthy, "A Novel high-speed transistorized 8x8 Multiplier using 4-2 Compressors," *International Journal of Engineering Research and General Science*, vol. 3, pp. 359-365, 2015.

[9] M. H. Moaiyeri, R. Faghieh Mirzaee, K. Navi, T. Nikoubin, and